

# 电子行业深度报告

## AI ASIC: 从台系 ASIC 厂商发展历程看国产产业链机遇

增持（维持）

2026年03月25日

证券分析师 陈海进

执业证书: S0600525020001

chenhj@dwzq.com.cn

证券分析师 李雅文

执业证书: S0600526010002

liyw@dwzq.com.cn

### 投资要点

■ **ASIC 设计服务行业技术壁垒与规模效应构筑护城河，服务商价值在先进制程下加速重估。** 1) **技术端**：先进制程复杂度确立服务商核心枢纽地位。随着摩尔定律推进，芯片设计已演变为涵盖多物理场耦合、异构集成及高阶可靠性的复杂系统工程。单一产品团队难以独立负担昂贵的工具链试错与跨域仿真验证，必须依赖具备端到端建模能力及 Foundry/OSAT 深厚协同经验的专业设计服务商，以确保首片成功率与系统级性能落地。2) **成本端**：规模效应实现量产导向的成本优化。设计服务商通过多项目并行、IP/EDA 复用及 MPW 机制，将高昂的一次性工程费用有效摊薄；同时凭借其在产业链中的议价权与排产优先级，显著降低了客户的试产风险与隐性迭代成本，推动 ASIC 方案在经济性上具备更强竞争力。

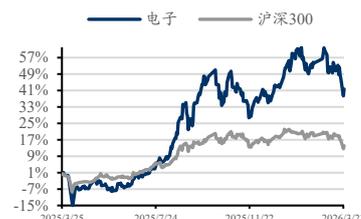
■ **台系 ASIC 产业链的崛起路径在于商业模式持续升级，并不断向 AI/HPC 高价值订单迁移。** 世芯-KY (Alchip) 从早期受托 ASIC/SoC 设计，逐步演进为覆盖前后端设计、流片协调、封装测试、量产导入与良率改善的 Turnkey 一站式平台，并在 AI/HPC 周期中进一步强化 3nm、2nm、3DIC 与先进封装能力，推动商业模式从接案型设计服务升级为平台型 ASIC 合作伙伴，其业绩和股价弹性也因此与大客户项目节奏、先进制程导入与封装产能约束高度相关。GUC 代表行业另一条路径：从一站式 Turnkey 进一步走向 IP 平台化与先进封装平台化，通过整合各方面能力，构建面向 AI/HPC 的系统级交付框架。台系 ASIC 服务商的成长性来自先进制程、先进封装、关键 IP 与量产导入能力的持续叠加，在产业升级中获得更高成长斜率与更强盈利弹性。

■ **ASIC 服务商的客户粘性来自平台协同+全流程整合两大能力的持续沉淀。** 一方面，随着先进制程、先进封装与 AI/HPC 芯片复杂度不断提升，客户对 ASIC 服务商的要求已从单纯设计能力，升级为能否深度嵌入晶圆代工与先进封装生态，并提供覆盖 chiplet、HBM、高速互连、封装设计、SI/PI 仿真到制造导入的系统级解决方案；这使客户一旦完成平台适配和项目导入，切换供应商的成本显著上升。另一方面，IP 与 Turnkey 的高度融合进一步强化了这种绑定关系：服务商不再只是提供单点 IP 或代工对接，而是通过 IP 库、工艺适配、验证服务、供应链管理和量产经验构建闭环能力，并在 AI、车规等垂直场景中形成难以复制的 know-how。客户粘性并不只是来自一次性项目合作，而是来自先进平台适配能力、全流程交付能力和垂直场景经验共同构筑的综合壁垒。

■ **投资建议**：看好 2026 年 ASIC 产业链放量元年，首推芯原股份，建议关注灿芯股份、翱捷科技、和顺石油（奎芯科技）等。

■ **风险提示**：大厂 CapEx 投入不及预期，技术发展不及预期，客户需求不及预期。

### 行业走势



### 相关研究

《2026 年度半导体设备行业策略：看好存储&先进逻辑扩产，设备商国产化迎新机遇》

2026-02-27

《端云协同驱动 AI 入口重塑与硬件范式重构》

2026-02-27

表 1: 重点公司估值

代码	公司	总市值 (亿元)	收盘价 (元)	EPS			PE			投资评级
				2024A	2025E	2026E	2024A	2025E	2026E	
688521	芯原股份	1,082.75	205.88	-1.14	-0.85	0.60	-180.19	-242.21	343.13	买入

数据来源: Wind, 东吴证券研究所

注: 收盘价截至 2026/3/24

## 内容目录

<b>1. ASIC 设计服务：技术复杂性与成本优化双轮驱动</b> .....	<b>4</b>
1.1. 先进制程复杂度抬升，ASIC 服务商成为关键枢纽 .....	4
1.2. 量产导向成本优化，系统协同压缩价差.....	5
<b>2. 从台系 ASIC 产业链的崛起看成长性</b> .....	<b>6</b>
2.1. 世芯-KY：平台化 Turnkey 切入 AI/HPC 高价值订单 .....	6
2.1.1. 发展历程：Turnkey 与先进封装驱动商业模式升级 .....	6
2.1.2. 股价复盘：客户集中+产能瓶颈放大利润弹性 .....	8
2.2. 创意电子 GUC：AI/HPC+HBM 平台能力成型.....	9
2.2.1. 发展历程：一站式 Turnkey 叠加 IP 平台化.....	9
2.2.2. 股价复盘：技术迭代和营收兑现强化长期成长性.....	10
<b>3. ASIC 服务商的客户粘性何在</b> .....	<b>12</b>
3.1. 深度绑定先进制程与封装平台，构筑 ASIC 设计服务商核心竞争力 .....	12
3.2. IP 和 Turnkey 的高度融合 .....	13
<b>4. 风险提示</b> .....	<b>14</b>

## 图表目录

图 1: 世芯、创意电子、芯原的一站式定制项目在制程和封装方面的规格对比.....	5
图 2: Alchip 营收拆分情况.....	7
图 3: 世芯电子历史股价 (单位: 新台币) .....	8
图 4: GUC 营收拆分情况 .....	9
图 5: 创意电子历史股价 (单位: 新台币) .....	10
图 6: GUC 提供 2.5D/3D ASIC 设计的整体服务 .....	12
图 7: 台积电产能/出货与利用率示意 .....	12

## 1. ASIC 设计服务：技术复杂性与成本优化双轮驱动

### 1.1. 先进制程复杂度抬升，ASIC 服务商成为关键枢纽

专业设计服务商是连接 IC 架构与 Foundry/OSAT 生态、并实现首片成功与系统级稳定性的必要中介。先进制程下工艺复杂度的提升使得芯片设计成为严格的多物理场、多层次建模与精确协同问题，从而必然依赖专业的芯片设计服务商以保证首片成功与系统级性能达成。

1) 器件与互连的制造变异增大，阈值电压漂移、线宽与栅极变化等随机/系统性工艺偏差对时序裕度和功能正确性产生显著影响，要求在设计阶段采用更精细的统计时序分析与工艺-电路联合建模。

2) 随着频率与集成度提升，信号完整性与电源完整性成为耦合问题：耦合串扰、时钟/数据抖动、包内电源阻抗和局部 IR-drop 必须在芯片-封装-板级跨域仿真中同时优化，单纯逻辑级或版图级的孤立验证已无法捕捉关键失效模式。

3) 异构集成与多芯片架构把热、机械应力和电磁互联的影响带入几何尺度更小、互连更密的设计空间，TSV/微凸点/硅中介层的互连行为会反过来改变信号延迟与功耗分布，必须在早期物理分区和接口规范上与封装厂、晶圆厂协同定义。

4) 高阶可靠性问题在亚纳米节点下对长期时序与噪声裕度的影响逐渐成为设计约束，要求将老化模型与在场传感/补偿机制纳入设计-验证流，避免运行期性能退化导致系统功能失效。

先进制程的这些技术性耦合与模型复杂性超出了典型单一产品团队在工具链、跨域仿真经验与晶圆/封装厂协同能力上的常规能力范围，因此需要具备端到端多物理场建模、统计验证、与 Foundry/OSAT 联合调试能力的专业芯片设计服务商来主导复杂系统的设计与验证流程。

工艺复杂度攀升促使设计服务商强化前端规划、后端布局与封装测试的一体化服务，提高客户价值和项目成功率。随着制程节点不断收缩，多物理效应的协同设计已成必需，单靠后期实验难以保证成功率。先进制程和异构封装技术的迅速发展，迫使 ASIC 设计服务商通过一站式方案提升竞争力。ASIC 设计商能够将不同制程节点的逻辑和存储块在一套封装中整合，提高系统性能并缩短上市周期。

图1：世芯、创意电子、芯原的一站式定制项目在制程和封装方面的规格对比

公司	时间	项目类型	制程	封装	技术要点
Alchip Technologies (世芯电子)	2018-08-16	Tape-out(7nm)	TSMC 7nm	未公开	<ul style="list-style-type: none"> <li>完成 7nm ASIC 流片、面向 HPC/AI;</li> <li>全 reticle 能力</li> </ul>
	2020-07	多笔 7nm 投片/量产案例 (公司能力说明)	7nm	CoWoS/2.5D	多次 tape-out、全 reticle 大芯片、面向 HPC/AI
	2020-2024	CoWoS 高功率大尺寸封装 (案例宣称量产/在产)	节点依客户	CoWoS-S/R/L(2.5D)	<ul style="list-style-type: none"> <li>单件功率可达 800-1000W 级;</li> <li>曾有 &gt;70×80mm<sup>2</sup> 大型封装在产;</li> <li>3.3×reticle interposer 等</li> </ul>
	2025-05	年度股东大会披露 3nm 专案进度	TSMC N3	以 CoWoS/advanced packaging 为主	3nm 小量产在轨
	2025-07-22	2nm 设计平台公告	面向 2nm (已收到首批 wafer/test-chip)	支持 CoWoS、SoIC-X、SoW 等 2.5D/3D 方案	<ul style="list-style-type: none"> <li>推出 2nm 设计平台;</li> <li>支持 2nm compute die+10 chiplets 的协同设计</li> </ul>
Global Unichip (创意电子)	2025-03-13	UCle 32GPHY 测试芯片 (N3+CoWoS 测试)	TSMC N3	CoWoS (利用 silicon interposer 互连)	UCle 32Gbps 通道、支持 UCle 2.0、裸晶边缘带宽密度、测试眼图表现良好
	2025-07-15	N5 SoIC-X 专用 UCle Face-Up IP 投片	TSMC N5	SoIC-X/face-up (面朝上) 裸晶互连	完成投片以整合 SoIC-X (面向 chiplet/3D Fabric), 与 CoWoS/SoIC 整合能力
	2025	HBM4PHY IP 在 N3P 投片	TSMC N3P	CoWoS-L/R、SoW 平台支持	<ul style="list-style-type: none"> <li>完成 HBM4PHY 投片并测得特定速率;</li> <li>计划移植至 N2P</li> </ul>
VeriSilicon (芯原)	2025-06-09	AI-ISP 客制化 SoC 已量产	未公开	未公开	<ul style="list-style-type: none"> <li>SoC 支持 RISC-V/Arm、MIPI、LPDDR5/4X 整合;</li> <li>公司提供端到端软硬整合与量产支持</li> <li>符合 3GPP Rel-17 RedCap 规格, 吞吐与功耗特性以 22FDX 为设计基础;</li> <li>Innobase 的芯片已进入量产</li> </ul>
	2024-02-07	与 Innobase 合作 5G RedCap/4G modem (客户芯片已量产)	22FDX(22nm FD-SOI)	未公开	
	2024-2025	Canaan K230、AutoChips 智能座舱域控 SoC (AC8025) 等案例	依客户不同; Canaan K230 宣称量产, 使用 VeriSilicon 的 ISP/GPU IP。	未公开	IP 功能支持 (GPU/ISP/VPU、LPDDR 支持、RISC-V 兼容等)

数据来源：公司官网，东吴证券研究所

## 1.2. 量产导向成本优化，系统协同压缩价差

设计服务商将高度集中的一次性开发支出通过规模化项目实现分摊与可控化，通过集中采购与工具/知识资产的复用，显著降低单案的软成本。先进制程下的固定开发成本已成为门槛性费用，单一项目独立承担将极大提升商业风险。设计服务商通过并行承接多项目、复用流程与模板，把不可回收的固定支出摊分到更广的客户群体。而 EDA 与商业 IP 本身具有高许可与维护成本，单个 IC 团队难以有效摊销；服务商通过内部化工具链、复用 IP 库与自动化签核套件，将这些长期性投入以摊销形式分担给多个项目，从而降低每案边际成本并提升交付效率。

服务商可通过组织共享原型与 Multi-Project Wafer 等并行投片机制，节省早期掩膜与小批量试产成本。利用 MPW/shuttle run 等模式把多家设计聚合于同一掩膜/晶圆，能在原型验证阶段显著降低单案掩膜与试产开销，可以降低早期现金投入与验证风险。

设计服务商通过与 Foundry/OSAT 的长期协作与议价能力，降低因排期、迭代与返工带来的隐性成本。具有稳定项目池和交付记录的服务商更易在晶圆/封测资源紧张时获得优先排产与批量调配，从而缩短整体迭代周期与避免多次返片导致的重复开销；Foundry 生态中也明确鼓励 Design-Enablement 伙伴协同以提升项目可预测性。

服务商的流程化项目管理与质量保障能把不可预见的返工成本转化为可量化的流程费用。通过标准化的设计流程、验收门槛与可复用测试向量，服务商将传统上难以量化的管理与往返沟通成本变为可控的项目费用，减少因信息不对称或经验不足带来的额外支出，从而提高资本使用效率。

## 2. 从台系 ASIC 产业链的崛起看成长性

### 2.1. 世芯-KY: 平台化 Turnkey 切入 AI/HPC 高价值订单

#### 2.1.1. 发展历程: Turnkey 与先进封装驱动商业模式升级

世芯电子自 2003 年成立以来，始终以承接客户 ASIC/SoC 设计为核心并逐步制度化其交付与产制能力。

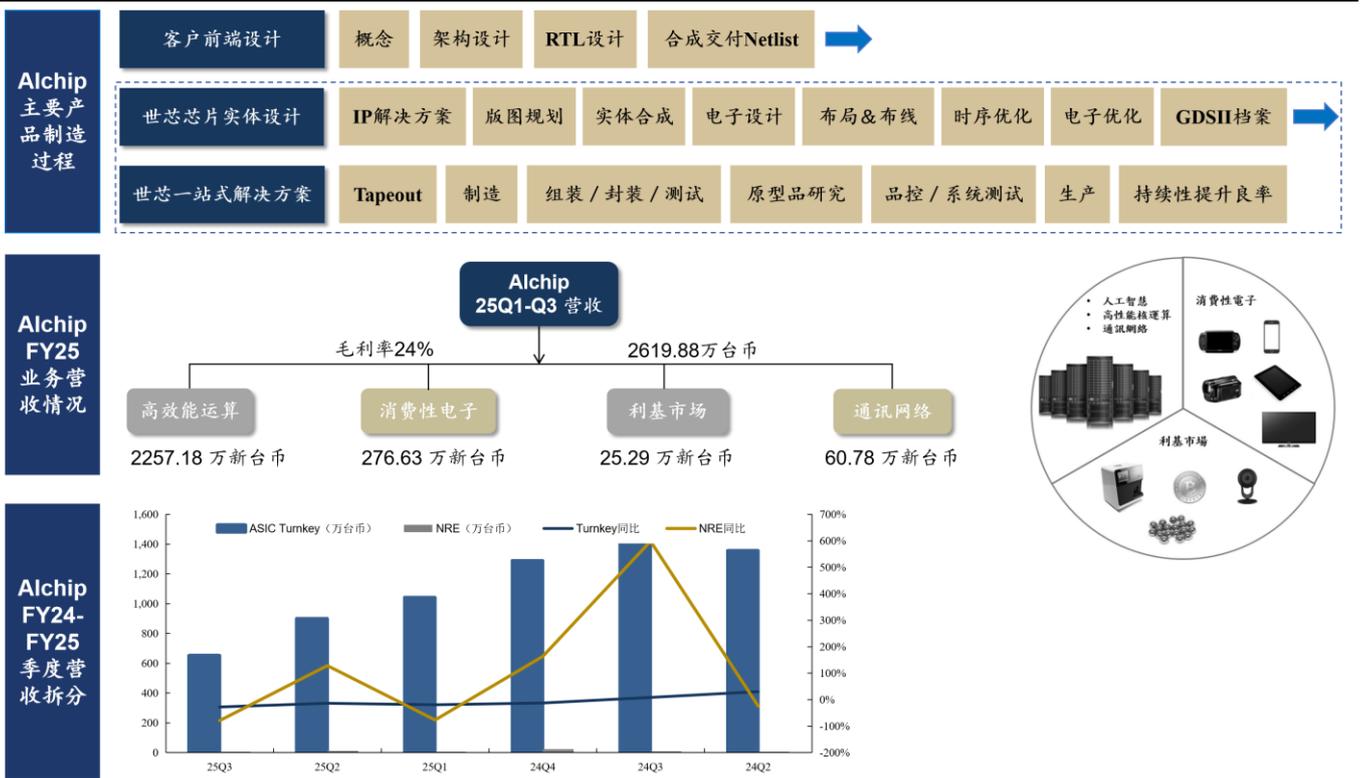
**模式 1.0 (2003-约 2014)** 定位为受托 ASIC/SoC 设计的 fabless 公司。在该阶段，世芯主要对外提供 SoC 前端架构设计、RTL 整合、物理后端实现与基础的 IP 整合服务，客户关系以案委托为主，公司的组织与交付聚焦于实现客户规格并完成首片/良率验证。世芯在 2003 年 8 月完成第一枚 0.13 $\mu$ m 芯片设计，并在随后的世代 (90nm $\rightarrow$ 65nm $\rightarrow$ 40nm $\rightarrow$ 28nm $\rightarrow$ 16/14nm 等) 陆续实现 tape-out 与量产，这是其从“纯设计接单”奠基到能够承担更复杂工程交付的技术根基。

**模式 2.0 (约 2010s-2021)** 定位为“Turnkey 一站式交付与分层委外体系化”。世芯在这一时期把服务从单纯的设计扩展为覆盖前端 $\rightarrow$ 后端 $\rightarrow$ 流片协调 $\rightarrow$ 封装/测试 $\rightarrow$ 量产导入的完整价值链，并在官网上以“Flexible Business Models”将客户合作模式制度化为 PD0 (spec-in) $\rightarrow$  PD1/PD1.5 (RTL/netlist hand-off) $\rightarrow$  PD2 (GDS hand-off) $\rightarrow$  PD2.5 (chip hand-off) $\rightarrow$  PD3 (量产与良率改善)，使其既能服务只需后端实现的系统厂商，也能服务需要全套 turnkey 的客户。这一转变依赖于：1) 与 foundry (例如 TSMC) 和 OSAT 封测伙伴的长期合作关系与认证 (世芯早年加入 TSMC DCA 并成为 VCA 成员为其奠基)，使公司能承担 reticle-size FinFET 后端工程与流片统筹；2) 构建封测与产后工程 (PE/yield) 团队与供应链管理体系，能将首片成功扩展为量产；3) 把 IP 整合与验证流程制度化，确保多源 IP 在不同制程与封装下的兼容性与一次性通过率，将“第三方领先 IP 组合+内部/客制 IP 支援”作为服务定位，从而支持大型 SoC 整合。

**模式 3.0 (约 2021 年至今)** 可总结为“面向 AI/HPC 的 Platform-ASIC 伙伴，强化先进制程与系统级封装能力”。行业进入 AI/HPC 周期，世芯在该阶段重点发展 7/6/5/4/3nm 以及更先进节点的设计能力，并把先进封装 (2.5D/3D/CoWoS, chiplet, 3DIC) 与系统级 PI/SI/热/功耗工程纳入常规交付范畴；世芯电子于 2022.6.15 宣布其高性能计算 ASIC 服务已可承接 3nm 设计，并以 2023 年第一季度为首颗测试芯片目标，之后在 2025.1.16 推出 3DIC 设计服务并在 2025.7.22 发布 2nm 设计平台/首批试片成果，这些表明其在端到端设计、die-to-die 整合与先进封装的生产就绪度逐步建立。这一转变更倚重系统级工程与平台化能力：首先需建立面向 3DIC/chiplet 的热/电/互连协同设计流程与验证平台，其次要有在先进制程 (N7 $\rightarrow$ N5 $\rightarrow$ N3 $\rightarrow$ N2) 上持续的 tape-out 与试片成功案例以取得 foundry 与客户信任，最后需将 IP-to-system (含 die-to-die 互联 IP) 与先进封装交付整合为可重复的商业产品。

如今公司商业模式可归纳为四个核心模块：1) 设计服务 (NRE/工程费)，涵盖 SoC 前后端与 IP 整合；2) 产制协同与量产导入 (turnkey management)，负责 foundry 与封测供应链管理；3) 先进封装与测试服务，包括 CoWoS、2.5D/3D 与 chiplet 方案；4) 量产后工程与品质支持 (Product Engineering/QA)，用于提升良率与生命周期管理。公司通过供应链整合与快速量产导入提升客户 time-to-market 与成本效率，这构成公司商业模式逐步演进并切入 AI/HPC 高价值订单的核心逻辑。

图2: Alchip 营收拆分情况

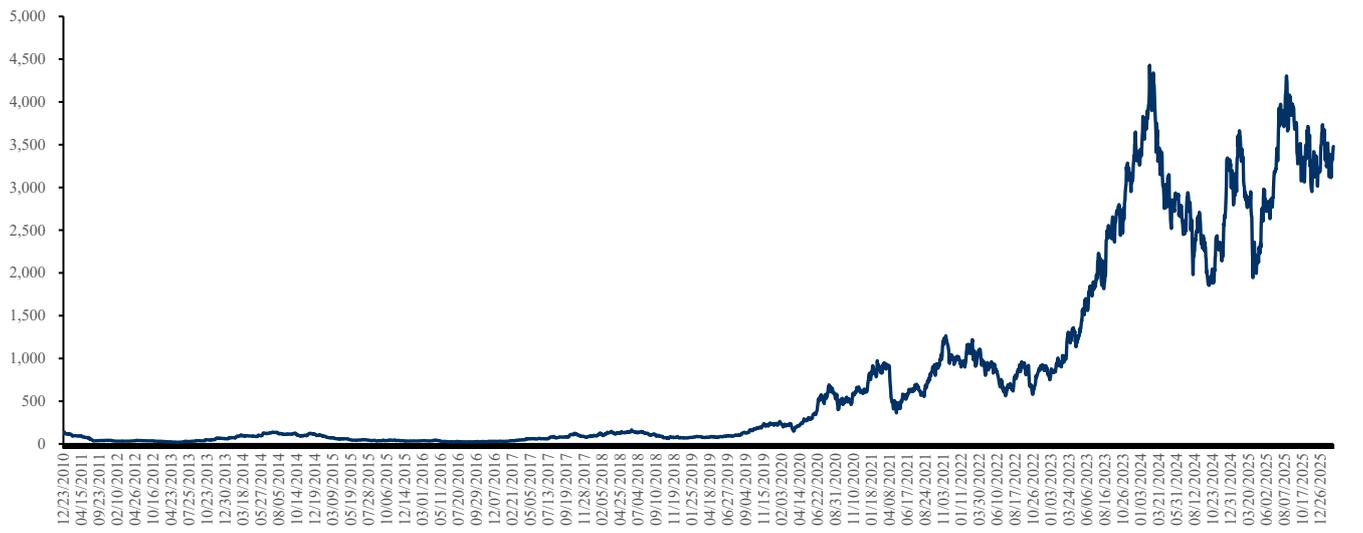


注: ASIC Turnkey 指提供从设计到晶圆制造、封装、测试的完整服务, NRE 指委托设计服务, 仅交给客户试产样品

数据来源: 公司财报, 东吴证券研究所

### 2.1.2. 股价复盘：客户集中+产能瓶颈放大利润弹性

图3：世芯电子历史股价（单位：新台币）



数据来源：彭博，东吴证券研究所

**2021年4月世芯受美国对飞腾被列入实体清单影响**，股价连续5个交易日跌停，从920新台币暴跌至534新台币，市值蒸发约30亿人民币。飞腾是世芯在中国大陆的最大客户，占当时公司营收比重接近40%。美国商务部工业和安全局（BIS）将飞腾等7家中国大陆超算实体列入实体清单后，世芯被迫暂停对飞腾的出货，市场担忧情绪导致股价大幅下挫。但世芯在2021年Q1的业绩表现亮眼，营收达26.5亿新台币（同比增长74.9%），净利润3.8亿新台币（同比增长120%）。世芯股价逐渐回升，2021年底已恢复至700-800新台币区间。

**2023-2024年AI热潮推动股价暴涨**。2023年开始，随着全球AI算力需求爆发式增长，世芯凭借在ASIC设计领域的技术积累成功获得北美大客户订单。2023年，世芯为理想汽车提供智能驾驶芯片后端设计服务，同时与特斯拉合作开发Dojo 1芯片。2024年世芯受益于北美客户AI ASIC出货及一款5nm AI accelerator放量，业绩大幅增长，全年营收达519亿新台币（同比增长70%），净利润显著增长，北美市场营收占比从2023年的63%跃升至2024年的86%，7nm及以下先进制程贡献了96%的营收。

**2025Q2因超大云端/CSP自研ASIC加速了股价下行**。多家大型云服务商持续推出/升级自研芯片，把部分训练/推理算力自主化，这既创造了大量自研ASIC需求，也改变了代工/设计服务的长期合作模式。世芯实务上高度依赖北美CSP/IDM的大案，CSP自研潮为世芯带来高额NRE与量产机会，但也放大客户集中风险。世芯2024营收强劲，但2025Q1、Q2出现环比下滑，与北美CSP项目节奏直接关联。

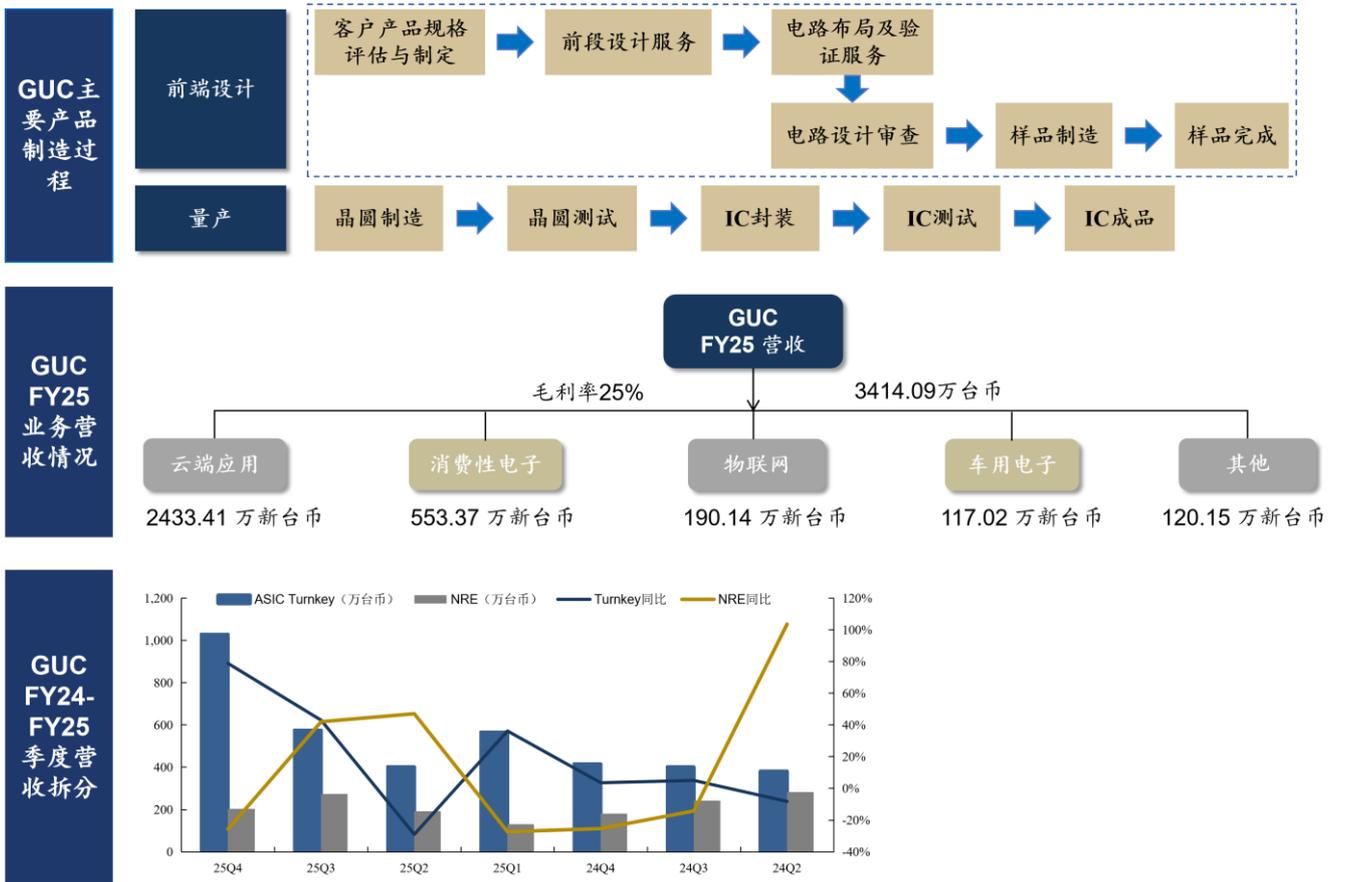
**2025年Q2-Q3客户结构变化与先进制程过渡期导致股价承压**。2025年8月，世芯第二季度营收91.44亿新台币（同比下滑32.68%），净利润13.23亿新台币（同比下滑16.64%），毛利率20.64%（同比提升1.68个百分点），主要受两大因素影响：一是北美IDM客户（如英特尔Habana）的5nm芯片需求不及预期；二是公司7nm制程AI芯

片项目已结束生命周期。生成式 AI 与大型模型训练对 HBM 与先进封装产生爆发式需求,导致产能长期处于紧张状态,成为量产交付瓶颈。世芯 2024Q4 营收放量、2025Q1-Q2 营收回落,与一些客户在先进封装(HBM)取得产能优先权或排队顺序有关。

## 2.2. 创意电子 GUC: AI/HPC+HBM 平台能力成型

### 2.2.1. 发展历程: 一站式 Turnkey 叠加 IP 平台化

图4: GUC 营收拆分情况



注: ASIC Turnkey 指提供从设计到晶圆制造、封装、测试的完整服务, NRE 指委托设计服务, 仅交给客户试产样品

数据来源: 公司年报, ifind, 东吴证券研究所

创意电子自 1998 年成立起, 定位为“弹性客制化 ASIC 领导厂商”, 其服务演进呈现从受托设计到一站式 Turnkey, 再到平台化的高阶 ASIC 与先进封装/IP 供应的路径。

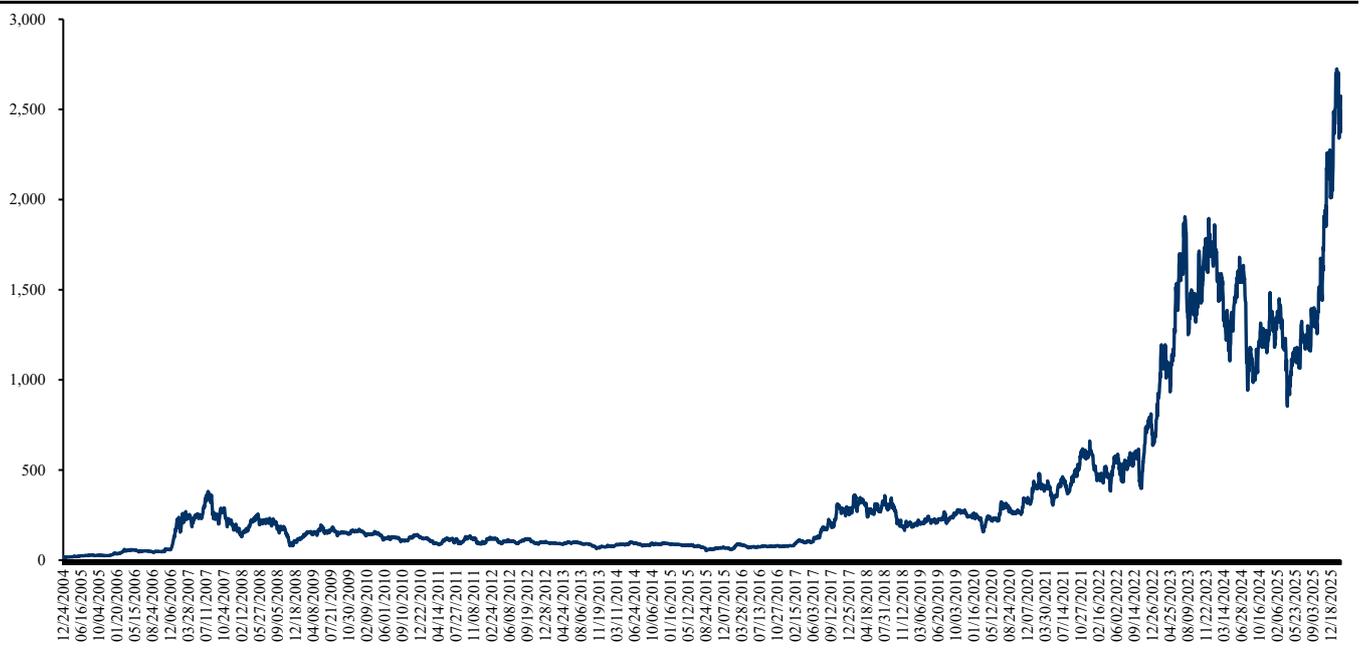
模式 1 (1998-约 2010) 的核心是工程交付与设计服务。在初创与成长期, 创意电子主要面向客户提供受托式 SoC/ASIC 前端架构、RTL 整合与后端物理实现的工程交付服务。这一阶段公司以按案委托为主, 强调首片与小量试产的成功以换取后续项目。技术上随制程节点从 90/65/40nm 推进, 公司逐步建立起基础的 IP 整合与生产测试流程, 这些基础工程能力为后续 Turnkey 与 APT 服务奠定技术与组织根基。

**模式 2（约 2010s-2020）的核心是 Turnkey 与 APT 制度化。**创意电子将服务扩展并制度化为一站式 Turnkey 与 APT 交付，正式把前端、后端、流片协调、封装/测试与量产导入整合为可分层的客户合作模式。公司在 2016 年开发首版 HBM IP、2018 年完成首个 16nm CoWoS 客户产品，并逐步建立支持 CoWoS-S/CoWoS-R/InFO 等流程的设计、SI/PI/热仿真与量产测试流（APT flow），同时推出多世代的 GLink die-to-die 互连 IP 以支持 2.5D/3D 封装。该阶段的核心转变依赖于与 foundry/OSAT 生态的深度合作、产后工程（PE）与良率管理团队的构建，以及把 IP 整合/DFT/硅相关验证流程制度化以降低首片风险与量产门槛。

**模式 3（2020-至今）的核心是面向 AI/HPC 的系统级平台化。**近年创意电子把 Turnkey 能力上移为面向 AI/HPC 与高带宽存储体系的系统级平台供应商，重点在于实现高带宽互连（GLink/UCIe）、HBM 家族 IP 硅验证与 CoWoS/InFO 等先进封装的量产就绪能力。2022-2023 年间完成多项 HBM/GLink 在 N5/N3 节点的 tape-out 与硅证，2024.1.10 在 3nm 与 CoWoS 上流片并验证 UCIe 32G PHY，2025 年继续推进 UCIe/40Gbps、HBM4 以及更先进的面向 SoIC/Face-Up 封装的 IP 开发与试片。公司这一跃迁依赖三大并行能力：一是持续的 foundry/封测合作与多代 tape-out 成功；二是成熟的 die-to-die 与 chiplet 互连（GLink/UCIe/HBM）IP 产品线；三是系统级 PI/SI/热/DFT 与量产测试流程的商业化复用能力。

### 2.2.2. 股价复盘：技术迭代和营收兑现强化长期成长性

图5：创意电子历史股价（单位：新台币）



数据来源：彭博，东吴证券研究所

2017-2018 年先进制程能力被官方里程碑首次验证，股价持续上涨。GUC 在 2017

年 12 月协助客户完成首款 7nm 晶片设计定案。市场对公司从成熟制程服务商，往更高复杂度、先进制程 ASIC 平台商转型提前定价。2019 年 12 月 GUC 宣布成功开发 6nm、5nm 制程设计流程，显示该阶段并非单点事件，而是持续投入的技术路线。

**2020-2021 年需求扩张同时产品路线正确，股价长波段上升。**疫情推动全球数位转型，进而增加储存装置与资料中心建设需求；同时 2021 年公司披露推出 HBM3 CoWoS 平台，结合台积电最新 CoWoS-S/CoWoS-R 封装技术等进展，市场开始把 GUC 放到更长期的 HPC/高效能运算、先进封装与高复杂度 ASIC 供应链框架下去定价。因此此轮涨价为产业需求扩张和技术路线卡位两线并行，GUC 在这一时期并非单纯受景气带动，而是在产品平台与先进封装能力上同步前移。

**2022-2023 年的主升段缘于先进项目认列推动财报弹升，财报弹升再反过来强化市场对长期成长性。**2023 年先进制程与先进封装相关项目在持续推进，未来量产与后续收入兑现具备较强储备。ASIC 设计服务与 Turnkey 业务仍具成长动能，同时，公司在 3nm、5nm、HBM3、GLink、UCIe 与 CoWoS 相关平台上的设计定案与客户导入持续推进，显示先进制程项目储备与后续认列基础进一步强化。2023Q1、Q2 财报显示，公司单季营收分别为 65.29 亿新台币、65.87 亿新台币，基本 EPS 分别达 6.97 新台币、6.26 新台币；到 2023 年全年，年报揭露合并营收 262.41 亿新台币、EPS26.18 新台币。

**2025-2026 年股价再创新高，营收加速兑现。**公司公告 2025 年 12 月单月营收 47.48 亿新台币、同比增长 75.7%；同时第四季度营收 124 亿新台币、环比增长 44.0%；全年营收 341.41 亿新台币、同比增长 36.3%。在 2023-2024 年期间股价高位震荡回落，市场进入对成长持续性、基期与估值的再平衡阶段后，创意电子用强势的营收数据，重新确认成长斜率上修，进一步强化市场预期管理。

### 3. ASIC 服务商的客户粘性何在

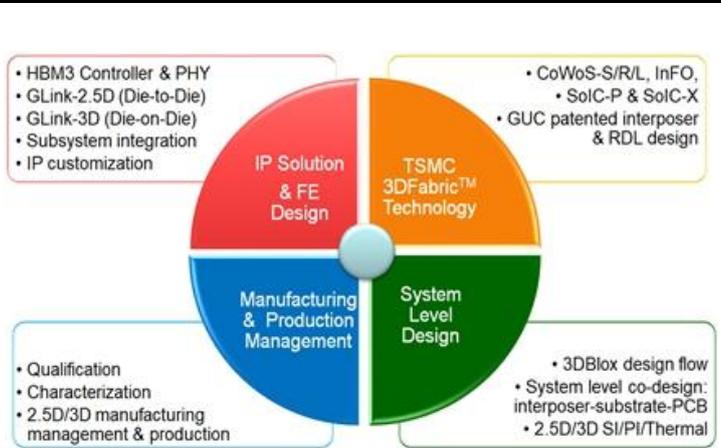
#### 3.1. 深度绑定先进制程与封装平台，构筑 ASIC 设计服务商核心竞争力

在先进制程与先进封装需求持续提升的背景下，ASIC 设计服务商的成长确定性，越来越取决于其与晶圆代工平台的技术协同深度。台积电明确表示持续扩充 3nm、2nm 与 CoWoS 等先进制程与先进封装产能，并与客户共同进行产能规划。对高度依赖先进节点导入的 ASIC 厂商而言，客户项目能否顺利推进，不仅取决于接单能力，也取决于其能否嵌入领先制程与先进封装生态，并与代工平台维持稳定协作。

在先进制程与先进封装时代，ASIC 设计服务商的竞争力，核心在于是否能够深度嵌入代工平台的技术生态，并把这种平台协同转化为持续的项目获取、设计导入与制造管理能力。以世芯电子为例，公司业务结构高度集中在先进制程与 HPC/AI 应用，这使其成长机会与先进平台演进高度绑定。世芯 2025 年第二季度营收中 3nm/2nm 设计占 5%，5nm/7nm 设计占 81%，HPC 应用占 82%；2024 年营收中 7nm 及以下先进制程占比高达 96%，高效能运算与 AI 相关应用占总营收 93%。这说明公司并非泛用型设计服务商，而是明显站在先进节点、AI 与高性能计算需求扩张的主赛道上，因此其业绩表现与先进制程平台、先进封装平台的协同效率具有高度相关性。

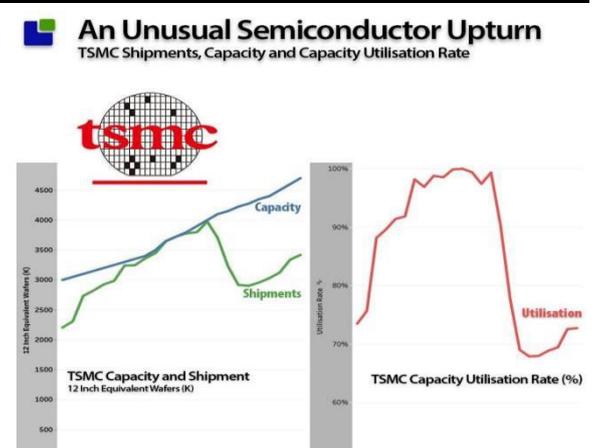
ASIC 设计服务商若要承接更高复杂度的 AI/HPC 芯片项目，还必须具备对先进封装平台的系统级整合能力。以 GUC 为例，GUC 将 AI/HPC 方案定义为先进制程与复杂封装的结合，并强调其可实现 HBM memory dies 与 high-speed SerDes 的整合；在服务平台层面，公司进一步说明其 2.5D/3D ASIC 解决方案已覆盖 UCIe、GLink、HBM 等关键 IP，以及 CoWoS、InFO、SoIC、System on Wafer 的封装设计、SI/PI 协同仿真与制造导入。GUC 已将 AI/HPC 所需的 chiplet 互连、HBM 高带宽存储与 CoWoS 先进封装纳入同一开发框架，说明高复杂度 AI/HPC 项目的竞争核心，已不只是完成芯片设计本身，而是能否把多颗 die、HBM、高速互连与先进封装平台一起整合成可量产的系统级方案。

图6：GUC 提供 2.5D/3D ASIC 设计的整体服务



数据来源：GUC，东吴证券研究所

图7：台积电产能/出货与利用率示意



数据来源：SemiAnalysis，东吴证券研究所

## 3.2. IP 和 Turnkey 的高度融合

IP 与 Turnkey 融合推动了全球半导体产业生态重构，进一步强化了技术壁垒。半导体 IP 的技术壁垒主要体现在架构设计能力、工艺适配深度及专利生态构建三个方面，需要长期技术积累与巨额研发投入。2023 年全球市场中 Synopsys 和 ARM 就已经合计占据超过 60% 份额，这种垄断地位不仅体现在技术领先性上，更体现在 IP 授权的生态绑定能力，如 ARM 架构已深度融入移动计算、车规芯片等领域，形成难以撼动的生态壁垒。Turnkey 芯片设计服务的技术壁垒主要来自全流程整合能力、供应链管理经验和定制化开发经验，需覆盖从芯片规格定义到量产的完整链条。Turnkey 模式可使客户流片成本大幅度降低，设计周期缩短，但这种能力需要厂商在特定领域积累大量成功案例与经验数据。当 IP 与 Turnkey 服务深度融合，芯片设计服务公司构建了三重技术壁垒：

### 1. 全流程系统整合壁垒

国际巨头通过 EDA 工具+IP 库+验证服务构建了闭环生态系统，如 Synopsys 的 Design Compiler 工具与 DesignWare IP 库的深度协同，可实现设计-验证-量产的一站式服务。以车规芯片为例，Synopsys 的 DesignWare 汽车 IP 已通过 ASIL D 认证，并与 VCS 仿真、VC SpyGlass 分析等验证工具形成完整闭环，客户无需额外对接第三方验证服务，大幅降低整合成本。这种系统整合能力已成为高端芯片设计市场的准入门槛。

### 2. 工艺-IP 协同优化壁垒

随着芯片制程进入“后摩尔时代”，IP 与制造工艺的协同优化成为关键竞争点。Synopsys 已获得台积电 N5、N4 及 N3 制程工艺认证，其 IP 可针对先进工艺特性进行专门优化，实现性能与功耗的最优平衡。国内芯片设计服务公司受限于先进制程产能（中芯国际 7nm 良率仅 70%-80%），其 IP 优化多聚焦于 28nm/14nm 等成熟制程，虽在特定场景（如车规芯片）形成差异化优势，但在先进工艺适配性上与国际巨头存在代差。

### 3. 垂直领域场景化壁垒

IP 与 Turnkey 融合使芯片设计服务公司能够在特定应用场景（如汽车电子、AI 计算）构建深度壁垒。车规芯片领域已成为 IP-Turnkey 融合的典型战场，需要 IP 厂商提供符合 ASIL D 认证的安全处理器 IP、支持 TSN 的以太网 IP 及低功耗设计 IP，并与封装测试服务形成完整闭环，这种垂直领域壁垒的构建需要厂商对应用场景的深刻理解与长期投入。

#### 4. 风险提示

**大厂 CapEx 投入不及预期。**无论是 GPGPU 还是大厂自研的 ASIC 芯片，都需要 CapEx 投入的支持。若 AI 卡的应用需求不及预期引发大厂 CapEx 投入放缓，或影响 ASIC 进展。

**技术发展不及预期。**目前 ASIC 芯片算力性能、显存带宽与 GPU 仍有较大差距，或限制市场中 ASIC 芯片的应用范围。

**客户需求不及预期。**ASIC 下游主要客户厂商较为集中，单一客户需求变动对公司营收影响较大，若下游客户后期投资减少或增长缓慢，将影响芯片研发与产出进度。

## 免责声明

东吴证券股份有限公司经中国证券监督管理委员会批准，已具备证券投资咨询业务资格。

本研究报告仅供东吴证券股份有限公司（以下简称“本公司”）的客户使用。本公司不会因接收人收到本报告而视其为客户。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议，本公司及作者不对任何人因使用本报告中的内容所导致的任何后果负任何责任。任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。

在法律许可的情况下，东吴证券及其所属关联机构可能会持有报告中提到的公司所发行的证券并进行交易，还可能为这些公司提供投资银行服务或其他服务。

市场有风险，投资需谨慎。本报告是基于本公司分析师认为可靠且已公开的信息，本公司力求但不保证这些信息的准确性和完整性，也不保证文中观点或陈述不会发生任何变更，在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。

本报告的版权归本公司所有，未经书面许可，任何机构和个人不得以任何形式翻版、复制和发布。经授权刊载、转发本报告或者摘要的，应当注明出处为东吴证券研究所，并注明本报告发布人和发布日期，提示使用本报告的风险，且不得对本报告进行有悖原意的引用、删节和修改。未经授权或未按要求刊载、转发本报告的，应当承担相应的法律责任。本公司将保留向其追究法律责任的权利。

## 东吴证券投资评级标准

投资评级基于分析师对报告发布日后 6 至 12 个月内行业或公司回报潜力相对基准表现的预期（A 股市场基准为沪深 300 指数，香港市场基准为恒生指数，美国市场基准为标普 500 指数，新三板基准指数为三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的），北交所基准指数为北证 50 指数），具体如下：

公司投资评级：

- 买入：预期未来 6 个月个股涨跌幅相对基准在 15%以上；
- 增持：预期未来 6 个月个股涨跌幅相对基准介于 5%与 15%之间；
- 中性：预期未来 6 个月个股涨跌幅相对基准介于-5%与 5%之间；
- 减持：预期未来 6 个月个股涨跌幅相对基准介于-15%与-5%之间；
- 卖出：预期未来 6 个月个股涨跌幅相对基准在-15%以下。

行业投资评级：

- 增持：预期未来 6 个月内，行业指数相对强于基准 5%以上；
- 中性：预期未来 6 个月内，行业指数相对基准-5%与 5%；
- 减持：预期未来 6 个月内，行业指数相对弱于基准 5%以上。

我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重建议。投资者买入或者卖出证券的决定应当充分考虑自身特定状况，如具体投资目的、财务状况以及特定需求等，并完整理解和使用本报告内容，不应视本报告为做出投资决策的唯一因素。

东吴证券研究所  
苏州工业园区星阳街 5 号  
邮政编码：215021

传真：（0512）62938527

公司网址：<http://www.dwzq.com.cn>