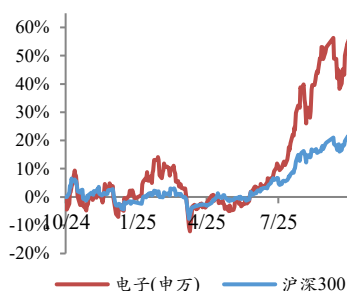


核心新股周巡礼系列 9—盛合晶微招股书梳理

行业评级：增持

报告日期：2025-11-03

行业指数与沪深 300 走势比较



分析师：陈耀波

执业证书号：S0010523060001

邮箱：chenyaobo@hazq.com

分析师：李元晨

执业证书号：S0010524070001

邮箱：liyc@hazq.com

相关报告

1. 核心新股周巡礼系列8—超颖电子招股书梳理 20251021
2. 核心新股周巡礼系列7—臻宝科技招股书梳理 20250816
3. 核心新股周巡礼系列6—视涯科技招股书梳理 20250810
4. 核心新股周巡礼系列5—强一半导体招股书梳理 20250804
5. 核心新股周巡礼系列4—武汉新芯招股书梳理 20250728
6. 核心新股周巡礼系列3—兆芯招股书梳理 20250720
7. 科创招股书梳理之摩尔线程篇(核心新股周巡礼系列 2) 20250714
8. 科创招股书梳理之沐曦篇(核心新股周巡礼系列 1) 20250707

主要观点：

● 历经十余载发展风雨兼程，盛合晶微成为世界级先进封装企业

盛合晶微是全球领先的集成电路晶圆级先进封装企业，起步于先进的 12 英寸中段硅片加工，并进一步提供晶圆级封装 (WLP) 和芯粒多芯片集成封装等全流程的先进封装服务，致力于支持各类高性能芯片，尤其是图形处理器 (GPU)、中央处理器 (CPU)、人工智能芯片等，通过超越摩尔定律 (MorethanMoore) 的异构集成方式，实现高算力、高带宽、低功耗等的全面性能提升。

● 公司芯粒多芯片集成封装营收高速增长，涵盖 2.5D/3D IC、3D Package 等各类技术方案

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司实现中段硅片加工营收分别为 10.91 亿元、16.22 亿元、17.55 亿元、9.92 亿元，中段硅片加工营收占比从 2022 年的 67.40% 逐步降低至 2025 年 1-6 月的 31.32%。2022 年、2023 年、2024 年和 2025 年 1-6 月，公司实现晶圆级封装营收分别为 4.42 亿元、6.43 亿元、8.49 亿元和 3.94 亿元，晶圆级封装营收占比从 2022 年的 27.29% 逐步降低至 2025 年 1-6 月 12.44%。

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司实现芯粒多芯片集成封装营收分别为 0.86 亿元、7.45 亿元、20.79 亿元和 17.82 亿元，芯粒多芯片集成封装占比从 2022 年的 5.32%，大幅提升至 2024 年的 44.39% 和 2025 年 1-6 月份的 56.24%。芯粒多芯片集成封装业务高速增长主要系：数字经济的发展和人工智能的发展带动高算力芯片需求的爆发式增长，为芯粒多芯片集成封装带来旺盛的需求；受益于技术平台上的领先性和产线建设上的持续先发优势，公司成功跻身高算力芯片制造产业链，并不断获取规模性订单。

● 集成芯片能够持续优化芯片系统的性能和功耗，是超越摩尔定律的重要方式

集成芯片是芯粒级的半导体集成技术，其先将晶体管集成制造为特定功能的芯粒 (Chiplet)，再按照应用需求将芯粒通过半导体制造技术集成制造为芯片。芯粒指预先制造好、具有特定功能、可组合集成的晶片，其功能可包括通用处理器、存储器、图形处理器、加密引擎、网络接口等。

集成芯片中，需要使用到封装技术将芯粒 (Chiplet) 集成制造为芯片。根据国内行业组织发布的标准，实现集成芯片的主要封装技术包括通过封装基板实现芯片之间信号互联的常规封装 (大尺寸 MCM)，以及通过转接板实现芯片之间高密度信号互联的先进封装 (2.5D)。

● 先进封装市场空间广阔，多应用领域支持市场持续增长

高性能运算是先进封装最具代表性的下游行业，芯粒多芯片集成封装技术能够突破单芯片集成下加工尺寸、功耗墙、内存墙等的限制，可

以持续提升芯片系统的性能,是后摩尔时代持续发展高算力芯片的有效方式,已经成为高算力芯片必需的封装技术,是构建支撑算力基础设施的高算力芯片完整供应链的关键环节。比如,英伟达最主要的 Hopper 和 Blackwell 系列 AIGPU,以及博通公司最主要的 AI 芯片均使用 2.5D/3D IC 的技术方案。

从价值量上看,芯粒多芯片集成封装及配套的测试环节也已进入高算力芯片制造产业的价值链高端,一定程度上重构了集成电路制造产业链的价值分布。目前最主流的高算力芯片的成本结构中,CoWoS 及配套测试环节的合计价值量已经接近先进制程芯片制造环节。

● 产业客户赋能投资阵容强大

盛合晶微前身为中芯长电半导体(江阴)有限公司,由中芯国际与长电科技合资创立。2021 年中芯国际以 3.97 亿美元转让所持 55.87% 股权后更名为盛合晶微。成立至今,盛合晶微共历经 5 次融资,其中多轮融资金额超过数亿美元,背后投资方阵容庞大。股权结构方面,截至招股说明书签署日,盛合晶微前五大股东分别为无锡产发基金、招银系股东、深圳远致一号、厚望系股东、中金系股东,持股比例分别为 10.89%、9.95%、6.14%、6.14%、5.48%。

● 盛合晶微持续投入研发,重点投入三维多芯片集成封装项目和超高密度互联三维多芯片集成封装项目

“三维多芯片集成封装项目”总投资 84 亿元,拟投入募集资金 40 亿元,三维多芯片集成封装项目计划在公司现有厂区内新建生产厂房,同时购置相关设备,形成 2.5D、3D Package 等多个芯粒多芯片集成封装技术平台的规模产能,并补充配套的 Bumping 产能。本项目建成达产后,将新增 1.6 万片/月的三维多芯片集成封装产能和 8 万片/月的 Bumping 产能。本项目连续入选 2023 年、2024 年和 2025 年江苏省重大项目名单,并被列为 2024 年江苏省标志性重大项目。

“超高密度互联三维多芯片集成封装项目”主要与 3D IC 技术平台相关,计划在公司现有厂区内新增生产厂房、研发车间及配套设施等建筑结构,同时购置相关设备,形成 3D IC 技术平台的规模产能。本项目建成达产后,将新增 4,000 片/月的超高密度互联三维多芯片集成封装产能。

● 风险提示

- 1) 下游需求不及预期;
- 2) 资本开支不及预期;
- 3) 技术迭代不及预期;
- 4) 本报告新股介绍内容不涉及证券投资研究,仅为材料梳理以供投资者方便获取信息。

正文目录

1 盛合晶微：全球领先的集成电路晶圆级先进封装企业	6
1.1 历经十余载发展风雨兼程，盛合晶微成为世界级先进封装企业	6
1.2 盛合晶微：公司专注于先进封装的中段硅片加工和后段先进封装环节	8
1.3 盛合晶微：公司芯粒多芯片集成封装营收高速增长，涵盖 2.5D/3D IC、3D PACKAGE 等各类技术方案	12
2 持续提高集成度是提升芯片性能的重要方式，先进封装倍受期待	16
2.1 先进封装产业链—中段硅片加工环节	16
2.2 先进封装产业链—后段先进封装环节	18
2.3 集成芯片能够持续优化芯片系统的性能和功耗，是超越摩尔定律的重要方式	20
2.4 先进封装市场空间广阔，多应用领域支持市场持续增长	22
2.4.1 高性能运算是先进封装最具代表性的下游行业	23
2.4.2 智能端侧设备是先进封装行业的重要增长点	23
3 研发团队具备丰富行业经验，持续聚焦高性能运算和智能终端用芯片先进封装	24
3.1 盛合晶微股权结构稳定，产业客户赋能投资阵容强大	24
3.2 盛合晶微核心技术人员拥有丰富的行业经验	25
3.3 盛合晶微持续投入研发，重点投入三维多芯片集成封装项目和超高密度互联三维多芯片集成封装项目	27
4 市场行情回顾	34
4.1 行业板块表现	34
风险提示：	36

图表目录

图表 1 盛合晶微主要发展历程	6
图表 2 盛合晶微公司核心业务领域和发展趋势及所处市场地位	7
图表 3 盛合晶微公司各类服务之间的关联关系及其产业链位置	8
图表 4 盛合晶微公司凸块制造(BUMPING)业务主要种类	9
图表 5 盛合晶微公司晶圆级封装技术平台图示	10
图表 6 盛合晶微公司 2.5D 集成主要平台	11
图表 7 盛合晶微公司 3D 集成(3D IC)	11
图表 8 盛合晶微公司三维封装(3D PACKAGE)	12
图表 9 盛合晶微公司主营业务收入构成	13
图表 10 盛合晶微公司主营业务收入占比和毛利率	13
图表 11 盛合晶微公司中段硅片加工业务毛利率	14
图表 12 盛合晶微公司晶圆级封装业务毛利率	14
图表 13 盛合晶微公司芯粒多芯片集成封装服务毛利率变动	15
图表 14 集成电路制造产业的发展历程	16
图表 15 中段硅片加工主要环节和工艺	17
图表 16 中段硅片加工技术发展方向	17
图表 17 后段先进封装技术发展方向	18
图表 18 各类 2.5D/3D IC 技术的结构特征	18
图表 19 芯粒多芯片集成封装的部分代表性技术平台和芯片产品	19
图表 20 后段先进封装技术发展方向	19
图表 21 随着制程节点的推进，摩尔定律逐步逼近物理和经济极限	20
图表 22 集成芯片能够持续优化芯片系统的性能和功耗	20
图表 23 相比传统的 SoC 芯片设计，集成芯片还可实现如下突破	21
图表 24 常规封装和先进封装	21
图表 25 常规封装和先进封装	22
图表 26 2019 年至 2029 年全球先进封装行业市场规模	22
图表 27 先进封装领域主要布局企业	22
图表 28 2019 年至 2029 年全球算力规模	23
图表 29 2019 年至 2029 年中国大陆算力规模	23
图表 30 CoWoS 及配套测试环节的合计价值量已经接近先进制程芯片制造环节	23
图表 31 海外对我国人工智能等高性能运算产业“断供”“断链”的严峻局面	23
图表 32 高性能运算完整供应链和代表性企业	23
图表 33 智能手机设备中芯片应用先进封装	23
图表 34 2019 年至 2029 年全球智能手机出货量	23
图表 35 2019 年至 2029 年中国大陆智能手机出货量	23
图表 36 全球 AI 手机和 AIPC 的渗透率将于 2027 年均超过 50%	24
图表 37 盛合晶微公司股权结构	24
图表 38 盛合晶微主要子公司（2025 年 6 月 30 日/2025 年 1-6 月）（单位：万元）	25
图表 39 盛合晶微主要子公司（2024 年 12 月 31 日/2024 年度）（单位：万元）	25
图表 40 盛合晶微公司核心技术人员	26
图表 41 盛合晶微核心技术人员的学历背景、专业资质、科研成果和获奖情况，以及对公司研发的具体贡献情况（1）	

.....	26
图表 42 盛合晶微核心技术人员的学历背景、专业资质、科研成果和获奖情况，以及对公司研发的具体贡献情况（2）	26
.....	27
图表 43 盛合晶微公司募集资金投资项目	27
图表 44 盛合晶微公司三维多芯片集成封装项目（总投资概算情况）	27
图表 45 公司各年度主要采购机台和设备种类 2025 年 1-6 月	28
图表 46 公司各年度主要采购机台和设备种类 2022 年-2025 年 1-6 月	28
图表 47 盛合晶微公司超高密度互联三维多芯片集成封装项目（总投资概算情况）	28
图表 48 盛合晶微公司核心技术基本情况（1）	29
图表 49 盛合晶微公司核心技术基本情况（2）	30
图表 50 盛合晶微公司核心技术基本情况（3）	31
图表 51 盛合晶微公司在研发项目（1）	31
图表 52 盛合晶微公司在研发项目（2）	32
图表 53 盛合晶微公司在研发项目（3）	32
图表 54 盛合晶微公司研发费用情况	33
图表 55 盛合晶微公司研发费用对应的主要项目(1)	33
图表 56 盛合晶微公司研发费用对应的主要项目(2)	33
图表 57 盛合晶微公司技术储备及新技术新产品商业化情况	34
图表 58 板块指数	34
图表 59 行业板块涨跌幅和换手率（本周电子在申万一级行业指数中 24/26 位）	35
图表 60 电子行业细分板块涨跌幅和换手率	35
图表 61 电子行业行情图（2021 年 1 月 4 日至 2025 年 10 月 31 日）	36

1 盛合晶微：全球领先的集成电路晶圆级先进封测企业

1.1 历经十余载发展风雨兼程，盛合晶微成为世界级先进封装企业

盛合晶微是全球领先的集成电路晶圆级先进封测企业，起步于先进的 12 英寸中段硅片加工，并进一步提供晶圆级封装(WLP)和芯粒多芯片集成封装等全流程的先进封测服务，致力于支持各类高性能芯片，尤其是图形处理器(GPU)、中央处理器(CPU)、人工智能芯片等，通过超越摩尔定律(MorethanMoore)的异构集成方式，实现高算力、高带宽、低功耗等的全面性能提升。

图表 1 盛合晶微主要发展历程



资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

自业务开展之初，公司即采用前段晶圆制造环节先进的制造和管理体系，并将芯粒多芯片集成封装作为公司发展方向和目标。目前，公司已经成为中国大陆在芯粒多芯片集成封装领域起步最早、技术最先进、生产规模最大、布局最完善的企业之一，并具备在上述前沿领域追赶全球最领先企业的能力。

在中段硅片加工领域，公司是中国大陆最早开展并实现 12 英寸凸块制造(Bumping)量产的企业之一，也是第一家能够提供 14nm 先进制程 Bumping 服务的企业，填补了中国大陆高端集成电路制造产业链的空白。此后，公司相继突破多个更先进制程节点的高密度凸块加工技术，跻身国际先进节点集成电路制造产业链。根据灼识咨询的统计，截至 2024 年末，公司拥有中国大陆最大的 12 英寸 Bumping 产能规模。

在晶圆级封装领域，基于领先的中段硅片加工能力，公司快速实现了 12 英寸大尺寸晶圆级芯片封装(晶圆级扇入型封装，WLCSP)的研发及产业化，包括适用于更先进技术节点的 12 英寸 Low-KWLCSP，以及市场空间快速成长的超薄芯片 WLCSP 等。根据灼识咨询的统计，2024 年度，公司是中国大陆 12 英寸 WLCSP 收入规模排名第一的企业，市场占有率约为 31%。

在芯粒多芯片集成封装领域，公司拥有可全面对标全球最领先企业的技术平台布局，尤其对于业界最主流的基于硅通孔转接板(TSVInterposer)的 2.5D 集成(2.5D)，公司是中国大陆量产最早、生产规模最大的企业之一，代表中国大陆在该技术领域的最先进水平，且与全球最领先企业不存在技术代差。根据灼识咨询的统计，2024 年度，公司是中国大陆 2.5D 收入规模排名第一的企业，市场占有率约为 85%。此外，公司亦在持续丰富完善 3D 集成(3D IC)、三维封装(3D Package)等技术平台，以期在集成电路制造产业更加前沿的关键技术领域实现突破，为未来经营业绩创造新的增长点。

图表 2 盛合晶微公司核心业务领域和发展趋势及所处市场地位

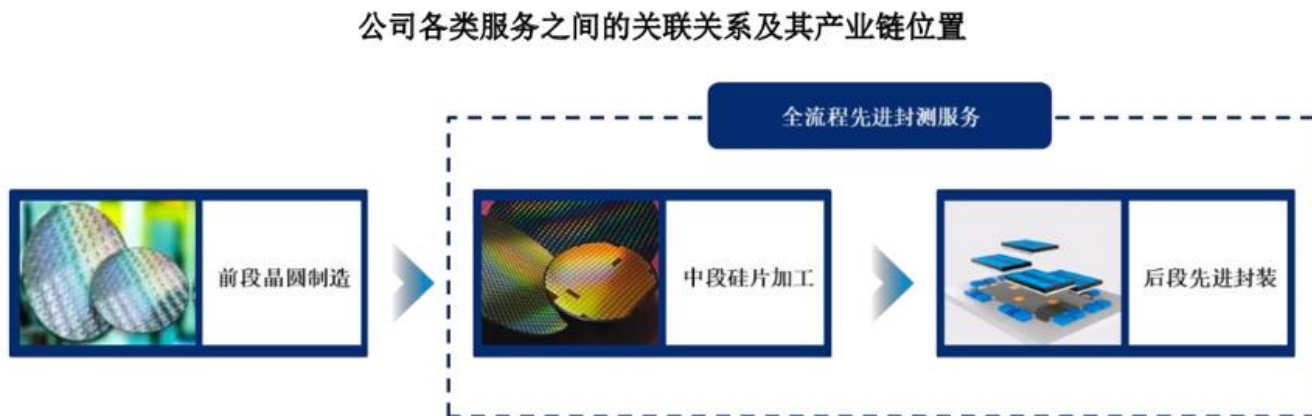
公司主营业务		主营业务领域的行业发展趋势，和公司市场地位
在中段硅片加工领域	公司是中国大陆最早开展并实现 12 英寸凸块制造(Bumping)量产的企业之一，也是第一家能够提供 14nm 先进制程 Bumping 服务的企业，填补了中国大陆高端集成电路制造产业链的空白。此后，公司相继突破多个更先进制程节点的高密度凸块加工技术，跻身国际先进节点集成电路制造产业链。根据灼识咨询的统计，截至 2024 年末，公司拥有中国大陆最大的 12 英寸 Bumping 产能规模。	
在晶圆级封装领域	基于领先的中段硅片加工能力，公司快速实现了 12 英寸大尺寸晶圆级芯片封装(晶圆级扇入型封装，WLCSP)的研发及产业化，包括适用于更先进技术节点的 12 英寸 Low-KWLCSP，以及市场空间快速成长的超薄芯片 WLCSP 等。根据灼识咨询的统计，2024 年度，公司是中国大陆 12 英寸 WLCSP 收入规模排名第一的企业，市场占有率约为 31%。	
在芯粒多芯片集成封装领域	公司拥有可全面对标全球最领先企业的技术平台布局，尤其对于业界最主流的基于硅通孔转接板(TSVInterposer)的 2.5D 集成(2.5D)，公司是中国大陆量产最早、生产规模最大的企业之一，代表中国大陆在该技术领域的最先进水平，且与全球最领先企业不存在技术代差。根据灼识咨询的统计，2024 年度，公司是中国大陆 2.5D 收入规模排名第一的企业，市场占有率约为 85%。此外，公司亦在持续丰富完善 3D 集成(3D IC)、三维封装(3D Package)等技术平台，以期在集成电路制造产业更加前沿的关键技术领域实现突破，为未来经营业绩创造新的增长点。	
公司产品应用领域	公司可为高性能运算芯片、智能手机应用处理器、射频芯片、存储芯片、电源管理芯片、通信芯片、网络芯片等多类芯片提供一站式定制化的集成电路先进封装服务，应用于高性能运算、人工智能、数据中心、自动驾驶、智能手机、消费电子、5G 通信等终端领域，深度参与到我国数字化、信息化、网络化、智能化建设的进程中。	

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

1.2 盛合晶微：公司专注于先进封装的中段硅片加工和后段先进封装环节

公司专注于集成电路先进封测产业的中段硅片加工和后段先进封装环节，是中国大陆少有的全面布局各类中段硅片加工工艺和后段先进封装技术的企业，向客户提供中段硅片制造和测试服务，以及多元化的全流程先进封测服务。

图表 3 盛合晶微公司各类服务之间的关联关系及其产业链位置



资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

中段硅片加工：(1)凸块制造(Bumping)

Bumping 是前段晶圆制造环节的延伸，通过类似前段的工艺在晶圆表面制造微型凸块，此凸块可以代替传统的引线焊接，实现芯片与基板等短距离、高密度的电气互联和信号传输。与引线焊接相比，Bumping 可以缩短连接电路的长度、降低信号传输的延迟、减小芯片的封装体积，同时允许芯片有更高的 I/O 密度、更优良的热传导性及可靠性。Bumping 工艺是各类先进封装技术得以发展的基础，在先进封装产业中具有核心意义。

在 Bumping 环节，还可结合 RDL 工艺对芯片表面线路进行重新布局。RDL 即在晶圆表面通过类似前段晶圆制造的工艺形成金属布线，将原本分布在芯片边沿的 I/O 接点优化调整到更为宽松的区域。RDL 工艺既可支持更多的 I/O 接点，又可实现水平平面的电气延伸和互联，是晶圆级封装等先进封装技术的关键基础工艺。

公司可以提供 8 英寸和 12 英寸 Bumping 服务，并具备先进制程芯片的 Bumping 量产能力。公司 Bumping 产品种类多样，包括铜柱凸块、铜柱微凸块(微间距铜柱凸块)、铜镍金微凸块(微间距铜镍金凸块)、锡银凸块、植球凸块，可以满足不同封装形式及应用场景的需求。

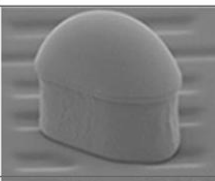
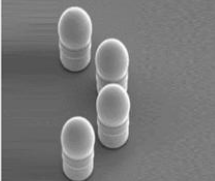
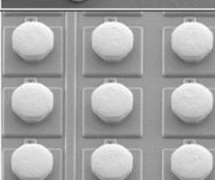
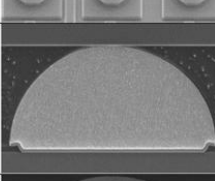
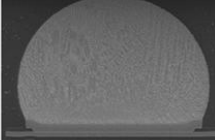
中段硅片加工：(2)晶圆测试(CP)

CP 即使用自动化测试设备对晶圆上的裸芯片进行针测，测量其电路和功能特性，确认芯片加工良率并筛选出不良芯片的过程，以达到提早反馈良率、提升芯片研发和加工效率，控制封装成本、优化整体成本的目的。由于先进封装芯片价值量大，封装环节附加值高，因此 CP 是先进封装的必要环节，对前段晶圆制造和中段凸块制造环节的工艺优化和良率控制也具有指导作用。

公司的 CP 服务既支持客户的独立测试需求，也可以作为自身 Bumping 或全流程先进封测业务的配套环节，协助客户获取一站式服务的综合优势。公司构建了具备国际竞争力的测试技术体系：拥有多种高端、中端测试平台，覆盖大部分测试场景，可为各类客户提供灵活多样化的测试资源选型；搭载先进的生产系统和自主研发的设备自动化系统，可实现高阶定制化的数据处理和检查功能。公司可为逻辑、存储、射频、混合信号等多类芯片提供

包括量产测试、测试程序开发、探针卡维护、测试硬件设计和整体测试方案搭建在内的全方位、高质量的 CP 服务，其中探针卡宽温域测试能力和维护能力在 Pin 数、电性水平和温控形变等多方面均为业界领先水平。此外，公司的工艺能力还可保障更先进制程芯片、硅转接板、芯粒多芯片集成封装等高端产品的大规模测试需求。

图 4 盛合晶微公司凸块制造(Bumping)业务主要种类

凸块种类	具体说明及特点	凸块图示
铜柱凸块	特点： 具有低成本、细间距、体积小、导电性能佳、抗电迁移能力强、散热能力好、可靠性高等特征，主要适用于 FCCSP、FCBGA 等先进封装技术 适用芯片： 智能手机应用处理器、电源管理芯片、射频芯片、存储芯片、CPU、AI 芯片等 应用场景： 智能手机、消费电子、网络通信、高性能运算等	
铜柱微凸块	特点： 间距更细、体积更小、密度更高的铜柱凸块，公司拥有业界领先的超高密度铜柱微凸块制造技术，可量产实现 20um/12um 的最小凸块间距/直径，单颗芯片的凸块数量可达数十万个 适用芯片： CPU、GPU、AI 芯片、FPGA 等 应用场景： 人工智能、数据中心、自动驾驶等高性能运算	
铜镍金微凸块	特点： 间距更细、体积更小、密度更高的铜镍金凸块，公司拥有业界领先的超高密度铜镍金微凸块制造技术，可量产实现 20um/12um 的最小凸块间距/直径，单颗芯片的凸块数量可达数十万个 适用芯片： CPU、GPU、AI 芯片、FPGA 等 应用场景： 人工智能、数据中心、自动驾驶等高性能运算	
锡银凸块	特点： 具有导电性能佳、散热能力好、可靠性高等特征，主要适用于 FCCSP、FCBGA 等先进封装技术 适用芯片： 网络芯片、射频芯片、CPU、AI 芯片等 应用场景： 智能手机、消费电子、网络通信、物联网、高性能运算等	
植球凸块	特点： 具有产品周期短、低成本、体积较大、可焊性好等特征，可以直接贴装在印刷电路板（PCB）上，主要适用于 WLCSP 等先进封装技术 适用芯片： 电源管理芯片、射频芯片、无线芯片等 应用场景： 智能手机、消费电子、网络通信等	

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

晶圆级封装(WLP)：(1)晶圆级芯片封装(WLCSP)

WLCSP 即基于完成中段硅片加工的晶圆，对其进行背面研磨及正面切割形成芯片颗粒后，再以整片框架的形式，或将芯片颗粒挑拣放置在载带中以卷盘的形式出货。WLCSP 可以实现与裸芯片尺寸相同的最小封装体积，且无需封装基板，提供更小、更薄、更紧凑的封装结构，并节约封装成本。WLCSP 相比传统封装还可以实现更高的互联密度、更优的功耗管控、更好的稳定性，适用于射频芯片、电源管理芯片、存储芯片、指纹识别芯片等移动终端芯片，广泛应用于智能手机、消费电子、网络通信等领域。

公司可以提供从晶圆投入到框架或卷盘出货的全流程 WLCSP 服务，并具备 8 英寸和 12 英寸晶圆的加工能力，目前已经规模量产 22nm 及以上制程产品，可以满足客户不同规格产品的需求。针对技术节点更先进、应用日益广泛的 12 英寸 Low-K 产品市场，公司根据不同产品结构掌握各种配套的激光开槽技术，已应用于高端射频芯片、高端模拟芯片和指纹识别芯片等产品。针对快速成长的超薄芯片市场，公司可以提供适配的 DBG(研磨前切割)解决方案，并具备业界领先的晶圆减薄技术实力。

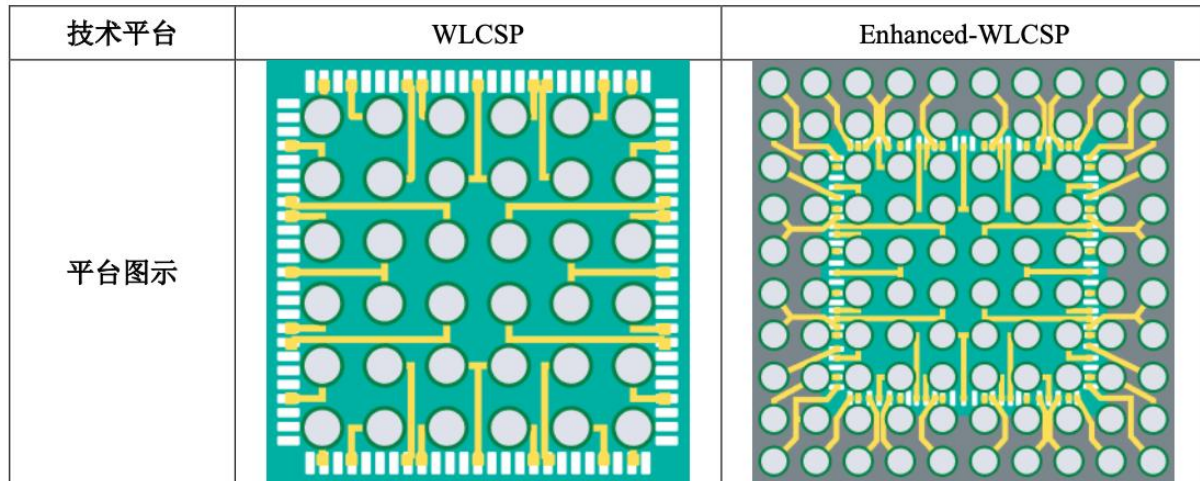
晶圆级封装(WLP)：(2)晶圆级扇出型封装(FO)

FO 即在 WLCSP 工艺的基础上，通过晶圆重构、扇出型重布线等方式突破 WLCSP

对于 I/O 接点数量的限制，从而进一步提升芯片的集成度。FO 相比 WLCSP 可以支持更高的 I/O 密度，同时具备性价比高、可靠性高等特征，适用于电源管理芯片、基带芯片、射频收发器、运算芯片等复杂度较高的芯片。公司正在推进自主研发的 FO 技术平台 Enhanced-WLCSP 的产业化工作，目前已进入小量试产。

图表 5 盛合晶微公司晶圆级封装技术平台图示

公司晶圆级封装技术平台图示



注：平台图示中，绿色区域为裸芯片尺寸范围，圆形为凸块，黄线为重布线

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

芯粒多芯片集成封装方面，芯粒多芯片集成封装即将多颗芯片或元器件组合到单个芯片系统中，根据芯片的互联介质和互联方式，主要包括多芯片组装(MCM)等基板级技术方案，以及三维芯片集成(2.5D/3D IC)、三维封装(3D Package)等晶圆级技术方案，其中，晶圆级技术方案可以实现更高的互联密度和系统集成度，从而能够更有效地提升芯片系统的性能。

自成立之初，盛合晶微即将芯粒多芯片集成封装作为公司发展方向和目标，并聚焦在更加前沿的晶圆级技术方案领域，于 2019 年在中国大陆率先发布三维多芯片集成技术品牌 SmartPoser®，涵盖 2.5D/3D IC、3D Package 等各类技术方案。

(1)三维芯片集成(2.5D/3D IC)

2.5D/3D IC 是集成电路制造的前沿技术之一，在摩尔定律逼近极限的情况下，可以突破单芯片集成下加工尺寸、功耗墙、内存墙等的限制，能够持续优化芯片系统的性能和功耗，提供数百亿甚至上千亿个晶体管的异构集成，是超越摩尔定律的重要方式。

2.5D/3D IC 适用于 CPU、GPU、AI 芯片等高性能运算芯片，广泛应用于人工智能、数据中心、云计算、自动驾驶等前沿领域，通过英伟达、AMD、博通公司、苹果公司等全球领先芯片设计企业的推动，已经成为上述前沿领域的核心芯片必需的封装技术。近年来，2.5D/3D IC 也已经成为台积电、英特尔、三星电子等全球最领先半导体制造企业积极抢攻的重要技术领域之一。

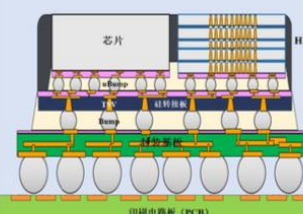
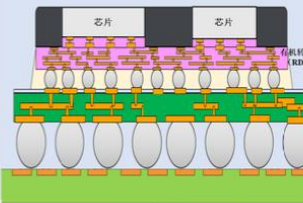
2.5D/3D IC 要求企业在前段晶圆制造和中段硅片加工，以及后段大尺寸高密度先进封装工艺上均具备较高水平，并掌握综合运用该等工艺的能力，且与上下游环节均保持密切的协同合作。基于前段晶圆制造环节先进的制造和管理体系，以及领先的中段硅片加工能力，并通过长期高效的研发投入，公司全面布局 2.5D 和 3D IC 的各类技术平台。

1)2.5D 集成(2.5D)

公司的 2.5D 技术平台涵盖硅通孔转接板(“硅转接板”)、扇外型重布线层(“有机转接板”)

和嵌入式硅桥(“硅桥转接板”)等各类主流技术方案, 并形成全流程 2.5D 的技术体系和量产能力, 在集成电路制造的关键前沿领域实现了突破, 成为中国大陆在芯粒多芯片集成封装领域起步最早、技术最先进、生产规模最大、布局最完善的企业之一, 并具备在上述领域追赶全球最领先企业的能力。

图表 6 盛合晶微公司 2.5D 集成主要平台

技术平台	平台简介	平台研发及产业化进展	平台图示
SmartPoser®-Si	结构: 基于硅通孔转接板(“硅转接板”)的 2.5D 技术平台, 多颗芯片并列放置在硅转接板顶部, 通过微凸块(uBump)和硅转接板中的布线实现芯片间的高密度互联, 硅转接板通过硅通孔实现上下层间的互联 特点: 利用硅转接板中微米级线宽线距及多层水平互联的高密度布线优势, 可将原本单一 SoC 芯片内部的部分互联转移到硅转接板中, 实现集成芯片的效果	已实现大规模量产, 是中国大陆量产最早、生产规模最大的基于硅转接板的 2.5D 技术平台之一	
SmartPoser®-RDL	结构: 基于扇出型重布线层(“有机转接板”)的 2.5D 技术平台, 多颗芯片并列放置在有机转接板顶部, 通过有机转接板中的布线实现高密度互联, 有机转接板通过多层重布线实现上下层间的互联 特点: 利用有机转接板中微米级线宽线距及多层重布线的高密度布线优势, 可将原本单一 SoC 芯片内部的部分互联转移到有机转接板中, 实现集成芯片的效果	已进入小量试产	
SmartPoser®-BD	结构: 基于嵌入式硅桥(“硅桥转接板”)的 2.5D 技术平台, 多颗芯片并列放置在扇出型重布线层顶部, 并在扇出型重布线层中局部内嵌硅桥, 通过微凸块和硅桥中的布线实现芯片间的高密度互联, 硅桥转接板通过高铜柱以及硅桥中的硅通孔实现垂直方向的互联 特点: 可视为硅转接板和有机转接板的结合, 在降低硅转接板高成本的同时, 能够解决有机转接板互联密度低、垂直供电弱的问题, 可以兼顾性能和成本	已完成全流程验证和可靠性验证, 并开展更大尺寸的结构优化	

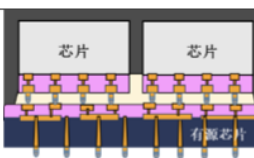
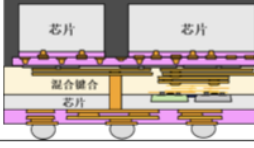
资料来源: 盛合晶微半导体有限公司招股说明书, 华安证券研究所

2)3D 集成(3D IC)

相比 2.5D, 3D IC 可以实现更高的互联密度、更短的信号传输路径、更小的信号延迟, 以及更优良的热传导性和可靠性, 在缩小封装体积的同时大幅提升芯片性能, 是现阶段最前沿的先进封装技术。公司正在推进 3D IC 的研发及产业化工作, 在技术路线上全面涵盖微凸块和混合键合等主流方案, 并计划通过本次募集资金投资项目“超高密度互联三维多芯片集成封装项目”形成规模产能。

随着人工智能、自动驾驶等前沿技术对于算力需求的快速提升, 2.5D/3D IC 技术也在持续发展中。公司亦紧跟行业技术发展, 积极布局前沿技术, 凭借自身在 2.5D 和 3D IC 领域的研发经验和技術积累, 已将 3.5D 集成相关技术作为主要研发方向之一。

图表 7 盛合晶微公司 3D 集成(3D IC)

技术平台	平台简介	平台图示
SmartPoser®-3DIC-BP	结构: 基于微凸块的 3DIC 技术平台, 采用超高密度(间距 $\leq 20\mu\text{m}$)的微凸块垂直连接方式直接实现多颗芯片的垂直互联 研发及产业化进展: 已完成全流程验证	
SmartPoser®-3DIC-HB	结构: 基于混合键合的 3DIC 技术平台, 采用极细间距(通常 $\leq 10\mu\text{m}$)的铜-铜垂直连接方式直接实现多颗芯片的垂直互联 研发及产业化进展: 已进入全流程验证	

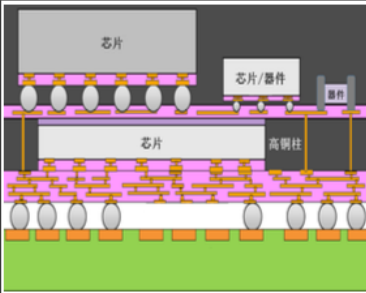
资料来源: 盛合晶微半导体有限公司招股说明书, 华安证券研究所

(2) 三维封装(3D Package)

3D Package 是适用于三维多芯片异质集成的新型扇出型封装技术，其综合运用多种规格的重布线、凸块、高铜柱等水平和垂直方向的互联工艺，可以实现多层芯片的三维堆叠整合，缩短了信号传输路径，减少了信号延迟并降低了信号噪声，具备更优良的热传导性，同时大幅减小了封装结构的体积。3D Package 适用于高端智能手机应用处理器、智能手表应用处理器、5G 毫米波天线等芯片，广泛应用于高端消费电子、5G 毫米波通信等领域。

公司已开发出多个自有知识产权的 3D Package 技术平台，包括 SmartPoser®-POP 和 SmartPoser®-AiP 等，分别适用于高端消费电子和 5G 毫米波通信领域。

图表 8 盛合晶微公司三维封装(3D Package)

技术平台	平台简介	平台图示
SmartPoser®-POP SmartPoser®-AiP	结构：通过多层、双面的扇出型重布线和垂直方向的高铜柱，可以同时实现多芯片的二维平面整合，以及多层芯片的三维堆叠整合 特点：能够异质集成多个有源芯片和无源供电组件等，拥有高集成度、高密度、超薄等优点，该技术平台可以提供模块化和微型化的高度集成加工，在后摩尔时代实现高算力、高带宽、低功耗等的全面性能提升 研发及产业化进展：应用于高端消费电子的 SmartPoser®-POP 平台已实现规模量产	

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

1.3 盛合晶微：公司芯粒多芯片集成封装营收高速增长，涵盖 2.5D/3D IC、3D Package 等各类技术方案

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司实现中段硅片加工营收分别为 10.91 亿元、16.22 亿元、17.55 亿元、9.92 亿元，中段硅片加工营收占比从 2022 年的 67.40% 逐步降低至 2025 年 1-6 月的 31.32%。

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司实现晶圆级封装营收分别为 4.42 亿元、6.43 亿元、8.49 亿元和 3.94 亿元，晶圆级封装营收占比从 2022 年的 27.29% 逐步降低至 2025 年 1-6 月 12.44%。

2022 年-2024 年呈逐年稳定增长的趋势，主要原因为随着智能手机、消费电子等下游行业库存水平的逐步调整，2022 年的库存过剩情况在 2023 年下半年以来得到显著改善，带动射频芯片、指纹识别芯片、存储芯片等多类相关芯片的需求增长，带来旺盛的晶圆级封装服务需求。公司能够提供生产良率稳定、管理体系先进的晶圆级封装服务，可以充分受益于上述需求增长带来的业务机遇。2025 年 1-6 月，公司晶圆级封装业务受到下游行业需求特征的影响，通常第一季度为淡季，收入较 2024 年同期相比基本持平。

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司实现芯粒多芯片集成封装营收分别为 0.86 亿元、7.45 亿元、20.79 亿元和 17.82 亿元，芯粒多芯片集成封装占比从 2022 年的 5.32%，大幅提升至 2024 年的 44.39% 和 2025 年 1-6 月份的 56.24%。

2022 年，公司尚处于芯粒多芯片集成封装业务的平台搭建、验证和前期产品导入阶段；平台搭建成功后，进入规模量产和持续大规模出货阶段，收入持续快速增长，主要系：

- 1) 数字经济的发展和人工智能的发展带动高算力芯片需求的爆发式增长，为芯粒多芯片集成封装带来旺盛的需求；
- 2) 受益于技术平台上的领先性和产线建设上的持续先发优势，公司成功跻身高算力芯片制造产业链，并不断获取规模性订单。

图表 9 盛合晶微公司主营业务收入构成

单位：万元

项目	2025 年 1-6 月		2024 年度		2023 年度		2022 年度	
	金额	占比	金额	占比	金额	占比	金额	占比
中段硅片加工	99,223.73	31.32%	175,484.60	37.48%	162,220.05	53.90%	109,076.31	67.40%
晶圆级封装	39,404.06	12.44%	84,900.62	18.13%	64,283.40	21.36%	44,164.22	27.29%
芯粒多芯片集成封装	178,164.21	56.24%	207,879.09	44.39%	74,484.49	24.75%	8,604.34	5.32%
合计	316,792.00	100.00%	468,264.30	100.00%	300,987.94	100.00%	161,844.87	100.00%

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司主营业务综合毛利率分别为 6.85%、21.53%、23.30%和 31.64%，呈持续上升的趋势，主要系公司产品结构调整、产能利用程度、上下游市场供需情况、产品销售价格、成本控制能力等因素综合作用的结果。

图表 10 盛合晶微公司主营业务收入占比和毛利率

项目	2025 年 1-6 月		2024 年度		2023 年度		2022 年度	
	收入占比	毛利率	收入占比	毛利率	收入占比	毛利率	收入占比	毛利率
中段硅片加工	31.32%	43.76%	37.48%	35.70%	53.90%	29.77%	67.40%	13.93%
晶圆级封装	12.44%	5.69%	18.13%	6.31%	21.36%	-5.28%	27.29%	-13.75%
芯粒多芯片集成封装	56.24%	30.63%	44.39%	19.76%	24.72%	26.72%	5.32%	22.85%
合计	100%	31.64%	100%	23.30%	100%	21.53%	100%	6.85%

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司中段硅片加工业务毛利率分别为 13.93%、29.77%、35.70%和 43.76%。2022 年，公司中段硅片加工业务尚处于产能爬坡阶段，收入规模相对较小；同时，受公共卫生事件影响，上海厂区停工逾三个月，叠加该厂区产线设备搬迁的影响，导致中段硅片加工业务产能利用率较低，因此毛利率较低。

2023 年，随着中段硅片加工业务收入规模持续增加和产能利用率提升，规模效应逐渐显现，盈利能力改善。2023 年，公司中段硅片加工业务的销售单价、单位成本和毛利率较 2022 年上升，主要受产品结构影响；随着人工智能、数据中心、智能手机、5G 通信等终端应用产业的快速发展，对芯片性能提出更高的要求；更高性能的芯片拥有更高的 I/O 密度，相应公司中段硅片加工业务中复杂性更高、工艺难度更大的产品占比上升，所需机台也更高端、价值量更大，因此单价、单位成本和毛利率均有较大幅度提升。

2024 年，受客户产品结构变化影响，中段硅片加工业务的平均销售单价较 2023 年略有下降。同时，受公司中段硅片加工业务的产能利用率有所上升等因素影响，单位成本较 2023 年有所下降，毛利率相应上升。

2025 年 1-6 月，公司中段硅片加工业务的销售单价较 2024 年有所上升，主要原因为中段硅片加工业务中复杂性更高、工艺难度更大的产品占比进一步上升，单位产品的附加值更高，毛利率也相应上升。

图表 11 盛合晶微公司中段硅片加工业务毛利率

单位：元/片

项目	2025 年 1-6 月	2024 年度	2023 年度	2022 年度
销售单价	2,596.51	2,348.88	2,559.01	1,715.76
单位成本	1,460.33	1,510.26	1,797.22	1,476.67
毛利率	43.76%	35.70%	29.77%	13.93%

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司晶圆级封装业务的营业收入分别为 44,164.22 万元、64,283.40 万元、84,900.62 万元和 39,404.06 万元，其中主要为晶圆级芯片封装服务。

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司晶圆级封装业务的毛利率分别为 -13.75%、-5.28%、6.31%和 5.69%。公司可以提供从晶圆投入到框架或卷盘出货的全流程 WLCSP 服务，晶圆级封装业务通常包括凸块制造(Bumping)、晶圆测试(CP)、晶圆级封装(WLP)等环节。

2022 年，受公共卫生事件影响，上海厂区停工逾三个月，叠加该厂区产线设备搬迁的影响，同时公司晶圆级封装业务部分新建产能尚处于爬坡阶段，导致公司当年晶圆级封装业务整体产能利用率较低，单位成本较高，晶圆级封装业务的毛利率为负。

2023 年，公司晶圆级封装业务的销售单价较 2022 年有所上升，主要受汇率波动影响；同时，随着公司晶圆级封装业务规模扩大、产能利用率提升，单位成本下降，毛利率改善。

公司持续加大晶圆级封装业务的创新开发，满足客户新产品的需求，2024 年公司晶圆级封装业务销售单价较 2023 年有所提高，主要系产品结构变化、汇率波动所致。由于晶圆级封装业务收入仍保持快速增长趋势，规模效应进一步增强，导致单位成本较 2023 年略有下降，毛利率上升且实现转正。

2025 年 1-6 月，公司晶圆级封装业务的销售单价、单位成本较 2024 年上升，主要因为晶圆级封装业务中，单位尺寸较大的产品占比有所提升。公司 2025 年 1-6 月晶圆级封装业务的毛利率较 2024 年基本持平。

图表 12 盛合晶微公司晶圆级封装业务毛利率

单位：元/颗

项目	2025 年 1-6 月	2024 年度	2023 年度	2022 年度
销售单价	0.1854	0.1500	0.1383	0.1319
单位成本	0.1749	0.1406	0.1456	0.1500
毛利率	5.69%	6.31%	-5.28%	-13.75%

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司芯粒多芯片集成封装业务的毛利

率分别为 22.85%、26.72%、19.76%和 30.63%，主要包括为客户提供芯粒多芯片集成封装服务，以及少量的工程服务收入。

芯粒多芯片集成封装服务：

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司芯粒多芯片集成封装服务的业务收入分别为 5,196.51 万元、68,539.86 万元、196,299.00 万元和 168,582.94 万元，占芯粒多芯片集成封装业务收入的比例分别为 60.39%、92.02%、94.43%和 94.62%。

公司芯粒多芯片集成封装服务主要为 2.5D 业务。2023 年度、2024 年度和 2025 年 1-6 月，芯粒多芯片集成封装服务的毛利率分别为 28.07%、20.15%和 31.00%。

2022 年，公司芯粒多芯片集成封装服务处于小量试产阶段，产品尚处于前期生产阶段，需要不断的探究和调试等工作，毛利率不具有可比性。2023 年，该业务开始逐步进入规模量产，规模化效应开始显现。

2024 年，毛利率较 2023 年有所下降，主要原因为：i.随着销售量的增长，为了进一步加强与核心客户的深度战略合作，扩大业务规模与市场占有，与客户协商后降低产品价格；ii.公司为更好地服务客户，向客户提供更全流程的芯粒多芯片集成封装服务，客户采购单位产品服务的工艺环节增加，相应投入的成本有所增加。

2025 年上半年，SmartPoser®-POP 平台已实现规模量产，3D Package 产品的销售单价和单位成本低于 2.5D 业务，导致芯粒多芯片集成封装服务的平均销售单价整体有所下降。2025 年 1-6 月，公司芯粒多芯片集成封装服务的毛利率较 2024 年上升，主要原因为：

- 1) 公司芯粒多芯片集成封装业务的产能利用率提升，同时受到公司持续推进多项降本增效措施等因素影响，2.5D 产品单位成本降低；
- 2) 2.5D 业务中，部分硅通孔转接板等采购成本较高的材料系客供料模式，2025 年 1-6 月该等客供料模式的销售占比上升，导致平均单位成本有所下降，毛利率有所上升。

图表 13 盛合晶微公司芯粒多芯片集成封装服务毛利率变动

单位：元/片			
项目	2025 年 1-6 月	2024 年度	2023 年度
销售单价	49,512.36	53,897.20	59,912.46
单位成本	34,162.48	43,036.06	43,092.24
毛利率	31.00%	20.15%	28.07%

注：2022 年，公司芯粒多芯片集成封装服务处于小量试产阶段，产品尚处于前期生产阶段，需要不断的探究和调试等工作，销售单价、单位成本和毛利率不具有可比性

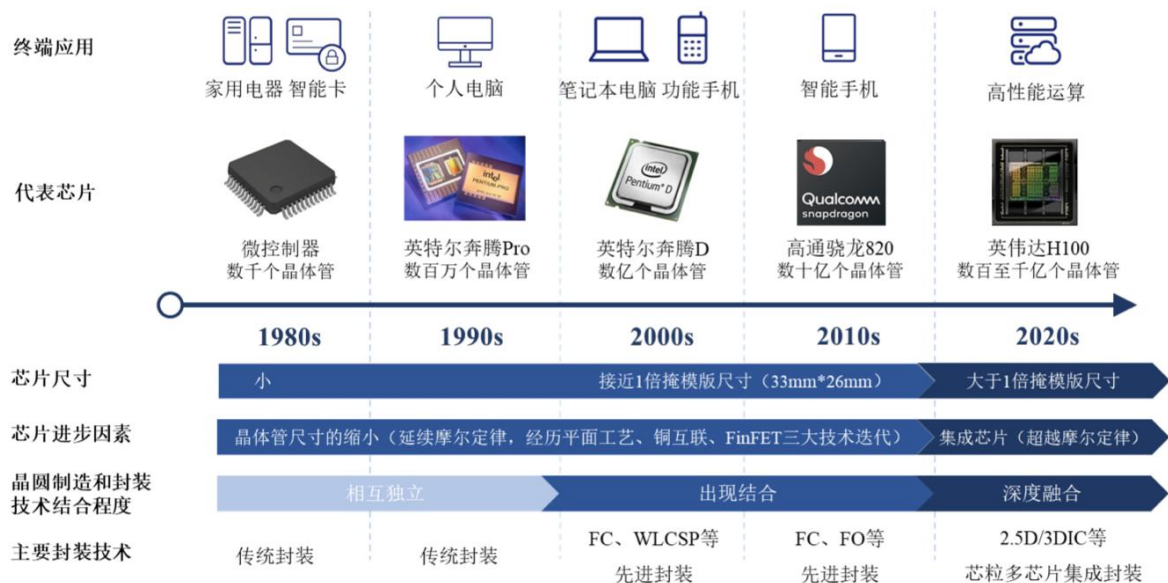
资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

2 持续提高集成度是提升芯片性能的重要方式，先进封装倍受期待

2.1 先进封装产业链—中段硅片加工环节

20 世纪 80 年代至今，集成电路行业的终端应用经历了家用电器/智能卡、个人电脑、笔记本电脑/功能手机、智能手机、高性能运算的演变过程，对芯片性能的要求不断提升。由于持续提高集成度是提升芯片性能的重要方式，为满足更高集成度芯片的制造需求，微电子行业共经历了集成电路平面工艺、铜互联、FinFET 鳍式晶体管结构三波重大技术浪潮的迭代，持续遵循摩尔定律，在前段晶圆制造环节以每 18 个月到 24 个月增加一倍的速度提高芯片集成度；但是，近十年来，前段晶圆制造工艺技术持续进步的难度显著增加，且又受到单芯片集成下加工尺寸、功耗墙、内存墙等的限制，异构集成芯片能够突破上述限制，被认为是微电子行业正在经历的第四波重大技术浪潮。在此过程中，晶圆制造技术与封装技术经历了从相对独立，到出现结合，再到深度融合的过程，芯片进步的因素也由延续摩尔定律(More Moore，即缩小晶体管尺寸)向超越摩尔定律(More than Moore，即使用集成芯片设计理念或发展新器件、新材料)转变。

图表 14 集成电路制造产业的发展历程



资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

先进封装是现代集成电路制造技术的关键环节，即采用先进的设计思路和先进的集成工艺对芯片进行封装级重构，并能够有效提高功能密度的封装方式。在业内，先进封装和传统封装主要以是否采用引线焊接来区分，传统封装通常采用引线键合的方式实现电气连接，先进封装通常采用凸块(Bump)等键合方式实现电气连接。

从封装效果来看，传统封装更加关注物理连接层面的优化，本身对芯片的功能不会产生实质变化，主要起到保护、嵌套、连接的作用；先进封装更加关注电路系统层面的优化，除常规的保护、嵌套、连接外，还可起到缩短互联长度、提高互联性能、提升功能密度、实现系统重构等作用。完整的先进封装产业链包括中段硅片加工环节和后段先进封装环节

中段硅片加工主要包括凸块制造(Bumping)、重布线(RDL)、硅通孔(TSV)、混合键合(Hybrid bonding)、晶圆测试(CP)等基础工艺。

图表 15 中段硅片加工主要环节和工艺

中段硅片加工种类	具体说明
凸块制造 (Bumping)	凸块是一种微型金属球或柱形连接物，用于实现芯片与基板等的短距离、高密度的电气互联和信号传输。Bumping 指通过溅镀、光刻、电镀、刻蚀等工序，在晶圆表面制造凸块，相比引线焊接，Bumping 工艺可以缩短连接电路的长度、降低信号传输的延迟、减小芯片的封装体积，同时允许芯片有更高的 I/O 密度、更优良的热传导性及可靠性。Bumping 工艺是各类先进封装技术得以发展的基础，在先进封装产业中具有核心意义。
重布线 (RDL)	RDL 指通过溅镀、光刻、电镀、刻蚀等工序，在晶圆表面制造金属布线，将原本分布在芯片边缘的 I/O 接点优化和调整到更为宽松的区域，此工艺既可支持更多的 I/O 接点，又可实现水平平面的电气延伸和互联。RDL 通常由金属层、介电层和垫层组成，其中，金属层用于实现电路连接，介电层用于隔离和绝缘信号线，垫层用于平衡高度差和减小封装压力。RDL 工艺主要应用于晶圆级封装等先进封装技术中。
硅通孔 (TSV)	TSV 指通过深孔刻蚀、薄膜沉积、铜填充、化学机械抛光等工序，在晶圆内部形成一系列垂直通孔，实现晶圆内部的垂直互联和信号传输。TSV 工艺解决了芯片或晶圆间电气垂直互联的难题，相比水平互联，可以减小互联长度和信号延迟，降低寄生电容和电感，实现芯片间的低功耗和高速率通信，在提高集成度、减小封装尺寸和增强性能等方面具有重要作用。TSV 工艺主要应用于 2.5D/3D IC 等先进封装技术中。
混合键合 (Hybridbonding)	当凸块间距缩小到约 10um 时，已经达到 Bumping 工艺的极限，此后需引入 Hybridbonding 工艺以实现更小的间距。Hybridbonding 通过金属键合和氧化硅键合相结合的方式实现连接，其中，金属键合用于形成电气连接，氧化硅键合用于实现微米级的对准和粘合。Hybridbonding 工艺可以实现超细间距和超小尺寸，从而支持超高 I/O 密度的芯片，并可以提供更好的高频特性和信号传输性能，以及更高的电荷载流能力和更优良的热性能。此外，Hybridbonding 工艺还可以解决芯片或晶圆间电气垂直互联的难题，因此，Hybridbonding 工艺目前主要应用于 3D IC 等先进封装技术中。
晶圆测试 (CP)	CP 指使用自动化测试设备对整片晶圆上的每一个晶粒进行针测，通常包括电压、电流、时序和功能的验证，确认晶粒能否基本满足器件的特征或者设计规格书，以达到提早反馈良率、提升芯片研发和加工效率，控制封装成本、优化整体成本的目的。由于先进封装芯片价值量大，封装环节附加值高，因此 CP 是先进封装的必要环节，对前段晶圆制造和中段凸块制造环节的工艺优化和良率控制也具有指导作用。

资料来源：盛合晶微半导体有限公司招股说明书，Prismark，华安证券研究所

随着终端应用向小型化、集成化、高性能方向发展，芯片的 I/O 密度快速提升，为适应更高 I/O 密度芯片的封装需求，更小的工艺尺寸、更高的互联密度是中段硅片加工工艺最核心的技术发展方向。

图表 16 中段硅片加工技术发展方向

中段硅片加工工艺	技术发展方向
Bumping	更小的凸块尺寸、更小的凸块间距等
RDL	更小的 RDL 线宽/线距、更高的 RDL 层数等
TSV	更小的 TSV 间距、更小的 TSV 直径、更大的 TSV 深宽比等
Hybrid bonding	更小的 Hybrid bonding pad 尺寸、更小的 Hybrid bonding pad 间距等
CP	更多的测试项目、更高的测试功率、更高的测试频率、更高的向量深度等

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

2.2 先进封装产业链—后段先进封装环节

后段先进封装主要包括倒装封装(FC)、晶圆级封装(WLP)和芯粒多芯片集成封装等技术类型。

图表 17 后段先进封装技术发展方向

后段先进封装具体说明		
倒装封装(FC)	FC 指将芯片倒置, 以有源区面向封装基板, 通过芯片有源区上的凸块直接与封装基板进行连接的先进封装技术, 凸块的使用是 FC 区别于传统封装的重要特征。常见的 FC 包括倒装芯片尺寸封装(FCCSP)、倒装球栅格阵列封装(FCBGA)等。 相比传统封装, FC 可以缩短连接电路的长度、降低信号传输的延迟、减小芯片的封装体积, 同时允许芯片有更高的 I/O 密度、更优良的热传导性, 是目前技术最成熟、应用最广泛的先进封装技术。	
晶圆级封装(WLP)	WLP 指直接在整片晶圆(或重构晶圆)上进行大部分或全部的封装、测试工序, 再切割为芯片成品的先进封装技术, 其重要特征是使用 RDL 工艺实现 I/O 接点的重新布局或水平平面的电气延伸和互联。根据 RDL 的位置, WLP 可再分为扇入型封装(FI, RDL 均在芯片内部)和扇外型封装(FO, RDL 可在芯片内部或外部)。	
晶圆级封装(WLP)	扇入型封装(FI)	FI 即晶圆级芯片封装(WLCSP)。WLCSP 的最主要特征是可以有效缩小封装体积, 使封装结构更加轻薄, 此外, WLCSP 还具备性价比高、稳定性高、散热性好等优点, 能够有效增加数据传输的带宽, 减小传输时的电流损耗, 提升数据传输的稳定性, 降低杂讯干扰的几率, 并提供更优良的热传导性, 适用于射频芯片、电源管理芯片、存储芯片、指纹识别芯片等移动终端芯片。
晶圆级封装(WLP)	扇外型封装(FO)	FO 相比 WLCSP 可以提供更高的 I/O 密度和更高的芯片可靠性, 适用于电源管理芯片、基带芯片、射频收发器、运算芯片等复杂度较高的芯片。

资料来源: 盛合晶微半导体有限公司招股说明书, 华安证券研究所

芯粒多芯片集成封装方面, 不同于应用在单芯片封装方案中的 FC 和 WLP, 芯粒多芯片集成封装可以实现多颗芯片的异构集成或异质集成, 是先进封装的重要技术发展方向, 台积电、英特尔、三星电子等全球最领先半导体制造企业正在该技术领域积极抢攻。

根据芯片的互联介质和互联方式, 芯粒多芯片集成封装主要包括多芯片组装(MCM)等基板级技术方案, 以及三维芯片集成(2.5D/3D IC)、三维封装(3D Package)等晶圆级技术方案, 公司的业务布局聚焦在更加前沿的晶圆级技术方案领域。

三维芯片集成(2.5D/3D IC)方面, 2.5D 集成(2.5D)指通过转接板实现多颗芯片的高密度水平互联, 并集成制造到单个芯片系统中的先进封装技术;根据转接板的类型, 2.5D 可进一步分为基于硅通孔转接板(“硅转接板”)、基于扇外型重布线层(“有机转接板”)和基于嵌入式硅桥(“硅桥转接板”)三类。3D 集成(3D IC)指通过微凸块或混合键合等方式实现多颗芯片的高密度垂直互联, 并集成制造到单个芯片系统中的先进封装技术;根据芯片类型是否一致, 3D IC 可进一步分为 3D 同质集成和 3D 异质集成。

图表 18 各类 2.5D/3D IC 技术的结构特征

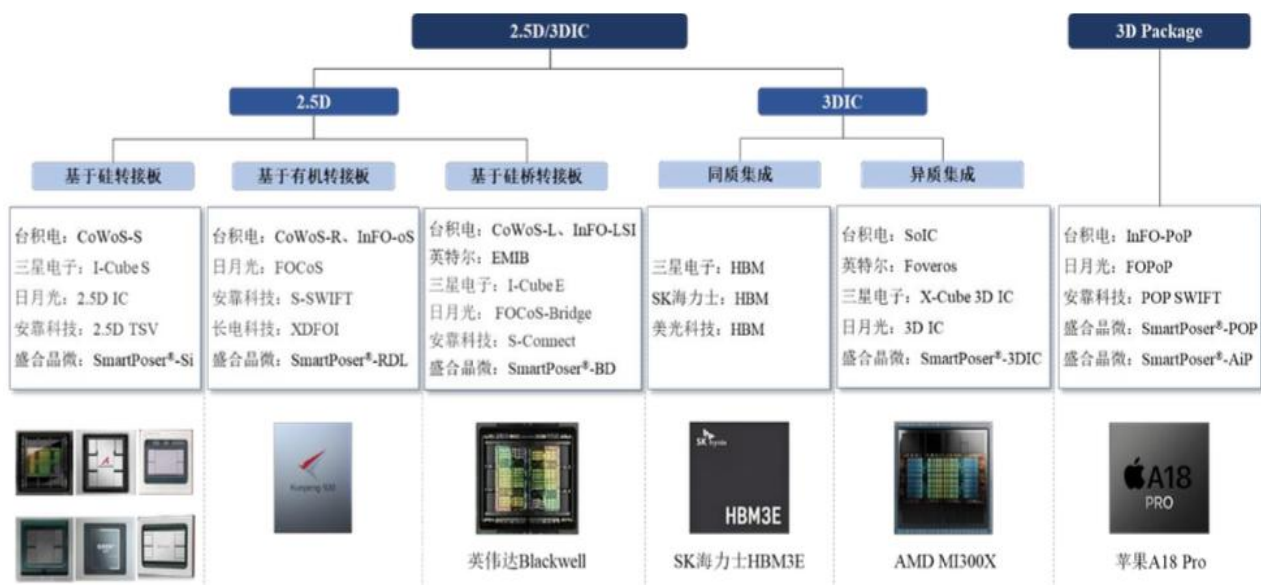
封装技术	封装类型	结构特征
2.5D	基于硅转接板	多颗芯片并列放置在硅通孔转接板顶部, 通过硅通孔转接板中的布线实现芯片间的信号互联, 适用于 CPU、GPU、AI 芯片等高算力芯片
	基于有机转接板	多颗芯片并列放置在扇外型重布线层顶部, 通过扇外型重布线层实现芯片间的信号互联, 适用于 CPU、GPU、AI 芯片等高算力芯片
	基于硅桥转接板	可以视作有机转接板和硅转接板的结合, 多颗芯片并列放置在扇外型重布线层(或封装基板)顶部, 并在扇外型重布线层(或封装基板)中局部内嵌硅桥, 通过硅桥中的布线实现芯片间的信号互联, 主要应用于 CPU、GPU、AI 芯片等高算力芯片
3D IC	3D 同质集成	将多颗相同类型的芯片垂直堆叠, 主要应用于 HBM 等存储芯片
	3D 异质集成	将多颗不同类型的芯片(比如存储芯片和逻辑芯片)垂直堆叠, 适用于 CPU、GPU、AI 芯片等高算力芯片

资料来源: 盛合晶微半导体有限公司招股说明书, 华安证券研究所

三维封装(3D Package)方面, 3D Package 是适用于三维多芯片异质集成的新型扇出型封装技术, 其综合运用多种规格的重布线、凸块、高铜柱等水平和垂直方向的互联工艺, 可以实现多层芯片的三维堆叠整合, 缩短了信号传输路径, 减少了信号延迟并降低了信号噪声, 具备更优良的热传导性, 同时大幅减小了封装结构的体积。3D Package 能够异质集成多个有源芯片和无源供电组件等, 拥有高集成度、高密度、超薄等优点, 主要应用于高端消费电子、5G 毫米波通信等领域。

图表 19 芯粒多芯片集成封装的部分代表性技术平台和芯片产品

芯粒多芯片集成封装的部分代表性技术平台和芯片产品



资料来源: 盛合晶微半导体有限公司招股说明书, 华安证券研究所

与中段硅片加工相近, 后段先进封装技术发展方向的核心也围绕 I/O 密度的提升, 以实现更高的密度互联, 进而带来更高的通讯带宽、更优的运行功耗等。总体来看, 后段先进封装技术存在功能多样化、连接多样化、堆叠多样化等发展趋势。

图表 20 后段先进封装技术发展方向

技术发展方向	具体发展趋势	代表案例
功能多样化	封装对象由单颗芯片向多颗芯片发展, 单个封装内部会有多种不同功能的芯片	由单芯片的 FC、WLP 向芯粒多芯片集成封装发展
连接多样化	封装内部的互联方式多样化, 由凸块、重布线互联拓展到硅通孔、混合键合互联	由使用凸块互联的 FC 发展到使用凸块、重布线互联的 WLP, 再向综合使用凸块、重布线、硅通孔等互联方式的芯粒多芯片集成封装发展
堆叠多样化	芯片或器件的排列由平面向立体发展, 通过组合不同的互联方式构建丰富的堆叠拓扑	由平面结构的 FC、WLP 向立体结构的芯粒多芯片集成封装发展

资料来源: 盛合晶微半导体有限公司招股说明书, 华安证券研究所

2.3 集成芯片能够持续优化芯片系统的性能和功耗，是超越摩尔定律的重要方式

摩尔定律逼近物理和经济极限，亟待能够持续优化芯片性能和功耗的创新技术。摩尔定律指出，集成电路上可以容纳的晶体管数目大约每经过 18 个月到 24 个月便会增加一倍，代表着晶体管尺寸的缩小和密度的提升，在过去的几十年中，集成电路的制程节点一直遵循摩尔定律发展，芯片的性能和功耗也持续得到优化。随着制程节点的推进，摩尔定律逐步逼近物理和经济极限。

图表 21 随着制程节点的推进，摩尔定律逐步逼近物理和经济极限

摩尔定律逐步逼近物理和经济极限	
一是芯片面积受限。	光刻是芯片制造的重要工序，用于将掩模版上的图形影像通过光刻机曝光转化为硅片表面的物理结构，最终形成晶体管等电路元件。由于掩模版的尺寸限定在 33mm*26mm，单个芯片的面积一般不超过 858mm ² ，目前 CPU、GPU、AI 芯片等高算力芯片已经逼近单个芯片面积的上限，只能通过微缩晶体管的方式提高晶体管的密度，以在有限的面积上集成更多的晶体管。此外，随着芯片面积的增加，工艺制造良率的保障难度也快速提升。
二是量子效应限制。	目前晶体管在多个几何维度进入 10nm 以下尺度，材料的量子效应开始显著，晶体管继续微缩将会面临材料、工艺和器件结构的限制，例如，量子隧穿效应会导致电子从源极隧穿到栅极，增大漏电流，严重影响移动电子设备的续航时长。此外，由于晶体管结构的微小尺寸，电荷的存在会对晶体管性能产生不可忽略的影响，例如，电荷积累效应会在栅极表面形成一个电荷堆积区域，导致栅极电压与晶体管源/漏极电压的关系变得复杂，使得晶体管的开关速度下降。
三是成本快速增加。	随着晶体管尺寸的微缩，芯片制造的设备成本、量产成本、开发成本等均将快速增加。根据 DIGITIMES 的统计，以 5nm 制程晶圆厂为例，5 万片晶圆/月产能的投资将高达 160 亿美元，是 28nm 制程的 2.7 倍；根据 AMD 的统计，5nm 制程芯片的量产成本高达 5.0 美元/mm ² ，远高于 28nm 制程的 1.5 美元/mm ² ；根据 IBS 的统计，3nm 制程芯片的开发成本高达 5.81 亿美元，远高于 28nm 制程的 0.48 亿美元。

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

集成芯片是芯粒级的半导体集成技术，其先将晶体管集成制造为特定功能的芯粒 (Chiplet)，再按照应用需求将芯粒通过半导体制造技术集成制造为芯片。芯粒指预先制造好、具有特定功能、可组合集成的晶片，其功能可包括通用处理器、存储器、图形处理器、加密引擎、网络接口等。

在摩尔定律逐步逼近极限的情况下，集成芯片能够持续优化芯片系统的性能和功耗，提供数百亿甚至上千亿个晶体管的异构集成，是超越摩尔定律的重要方式。

图表 22 集成芯片能够持续优化芯片系统的性能和功耗

项目	集成芯片	先进制程
提升性能方式	1、通过集成多颗芯粒，突破 1 倍光罩的尺寸限制，使得芯片系统内总晶体管数量上升，进而实现芯片系统性能的提升 2、通过集成逻辑芯粒和存储芯粒，提升了计算和存储间的通信带宽，缓解了内存墙的问题，进而提升了芯片系统的性能	通过微缩晶体管尺寸，提高晶体管的密度，使得芯片固定面积内晶体管数量上升，进而实现芯片性能的提升
降低功耗方式	通过灵活的架构设计及制程选择，可提供更多的针对功耗优化的设计空间，进而为降低芯片系统功耗提供了可能性	通过微缩晶体管尺寸，减小晶体管的栅极宽度，进而降低电流通过时的损耗

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 23 相比传统的 SoC 芯片设计，集成芯片还可实现如下突破

相比传统的 SoC 芯片设计，集成芯片还可实现如下突破

一是通过芯粒级的 IP 复用或芯粒预制组合，突破传统 SoC 芯片的设计周期制约，实现芯片产品的敏捷设计

二是通过将一个尺寸大的芯片拆分为多个小尺寸的芯粒，可以更好地控制制造过程，减少制造缺陷率，实现成本上的收益

三是不同芯粒可用不同的工艺制程完成，最优化各个芯粒的制程节点，突破单一工艺的局限

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

集成芯片中，需要使用到封装技术将芯粒(Chiplet)集成制造为芯片。根据国内行业组织发布的标准，实现集成芯片的主要封装技术包括通过封装基板实现芯片之间信号互联的常规封装(大尺寸 MCM)，以及通过转接板实现芯片之间高密度信号互联的先进封装(2.5D)。

虽然上述封装技术均可实现集成芯片，起到优化芯片系统性能和功耗的作用，但由于互联方式的不同，各技术类型在提升性能的效果上存在一定的差异，具体如下：芯粒之间的信号传输速度是芯片系统性能的关键，其受限于芯粒上的 I/O 数量及互联布线的尺寸和密度，互联布线的距离和线宽/线距越小，芯粒之间的信号传输质量越高，芯片系统的性能越好。因此，从提升性能的总体效果来看，大尺寸 MCM<基于有机转接板的 2.5D<基于硅转接板/硅桥转接板的 2.5D。

此外，3D IC 也可以实现集成芯片，且其通过芯粒之间直接的垂直互联，可以实现更高质量的信号传输，是提升性能效果更好的技术。由于中国大陆的 3D IC 目前仍处于产业化早期，国内行业组织发布的标准尚未将其列入实现集成芯片的主要封装技术。

图表 24 常规封装和先进封装

项目	常规封装	先进封装		
主要封装技术	大尺寸 MCM (通过封装基板互联)	2.5D (通过转接板互联)		
		基于有机转接板	基于硅转接板	基于硅桥转接板
凸块间距	130um-180um	20um-80um	20um-80um	20um-80um
互联距离	10mm-50mm	<2mm	<2mm	<2mm
最小互联线宽/线距	≤15um/15um	2um/2um	0.4um/0.4um	0.4um/0.4um

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

2.4 先进封装市场空间广阔，多应用领域支持市场持续增长

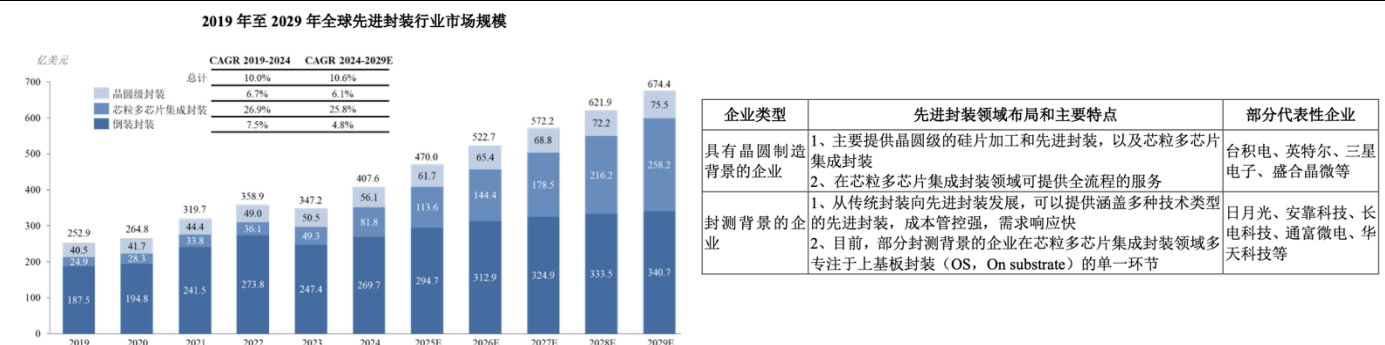
近年来，智能手机等移动终端向小型化、集成化、高性能方向更新迭代，带动单芯片数量和芯片性能要求的提升，是全球先进封装行业发展的最重要驱动因素之一。未来，全球先进封装行业的主要增长点将由智能手机等移动终端向人工智能、数据中心、云计算、自动驾驶等高性能运算转变。

图表 25 常规封装和先进封装

封装方式	优势	市场空间
FC	可以允许芯片有更高的 I/O 密度、更优良的热传导性，符合移动终端的应用需求，在移动终端的发展及迭代过程中充分受益	全球 FC 的市场规模由 2019 年的 187.5 亿美元增长至 2024 年的 269.7 亿美元，复合增长率为 7.5%，是市场规模最大的先进封装技术。未来，随着先进封装行业主要增长点的转变，全球 FC 市场规模的整体增长率将有所下降，但人工智能、数据中心、云计算、自动驾驶等高性能运算将使用到 FCBGA 等封装形式支持更大尺寸、更高性能的芯片，保证了 FC 市场的持续增长。预计全球 FC 的市场规模将在 2029 年达到 340.7 亿美元，2024 年至 2029 年复合增长率为 4.8%。
WLCSP	可以实现与裸芯片尺寸相同的最小封装体积，并具备一定的成本优势，FO 可以实现高 I/O 密度芯片的低成本封装，均能够较好地契合移动终端对小型化、高性能、低成本的需求	WLP 的市场需求持续增长，全球市场规模由 2019 年的 40.5 亿美元增长至 2024 年的 56.1 亿美元，复合增长率为 6.7%。未来，WLCSP 的成本优势会随着晶圆尺寸的增大和芯片尺寸的减小而更加明显，FO 也会由于芯片性能要求的提升而被更多采用，保证了 WLP 市场的持续稳定增长。预计全球 WLP 的市场规模将在 2029 年达到 75.5 亿美元，2024 年至 2029 年复合增长率为 6.1%。
芯粒多芯片集成封装	未来，受益于人工智能、数据中心、云计算、自动驾驶等高性能运算的快速发展，以及高端消费电子的持续进步，芯粒多芯片集成封装的市场规模仍将保持高速增长的态势	全球芯粒多芯片集成封装的市场规模由 2019 年的 24.9 亿美元增长至 2024 年的 81.8 亿美元，复合增长率为 26.9%，是增长最快的先进封装技术。预计将在 2029 年达到 258.2 亿美元，2024 年至 2029 年复合增长率为 25.8%，高于 FC、WLP 等相对成熟的先进封装技术。

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 26 2019 年至 2029 年全球先进封装行业市场规模 图表 27 先进封装领域主要布局企业



资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

2.4.1 高性能运算是先进封装最具代表性的下游行业

2.4.2 智能端侧设备是先进封装行业的重要增长点

近年来，随着智能手机功能的丰富、性能的提升，以及通信制式的迭代，单台智能手机需要搭载更多数量和更多种类的芯片，各类芯片使用的主要封装技术也出现更新和发展，是先进封装行业的重要增长点。

图 33 智能手机设备中芯片应用先进封装

芯片类型	单台智能手机芯片数量	主要封装技术发展情况
应用处理器	1 颗，部分机型会额外搭载基带芯片	过去主要使用 FC 技术，苹果公司的 A 系列处理器则使用 3D Package 技术。随着智能手机功能的丰富和性能的提升，应用处理器将更多使用到 3D Package 技术
电源管理芯片	1 颗以上	过去主要使用传统封装技术。但是，随着智能手机电路复杂度的提升，及对电源管理稳定性、芯片尺寸要求的提高，电源管理芯片将更多使用到 FC、WLP 等先进封装技术
射频芯片	由于通信制式向下兼容的特点，通信制式的迭代需要使用到更多的射频芯片，比如，5G 智能手机搭载的射频芯片可达到 4G 智能手机的四倍	过去主要使用传统封装技术。但是，为契合智能手机小型化、集成化的发展方向，同时降低信号传输时的损耗和干扰，射频芯片将更多使用到 FC、WLP 等先进封装技术
存储芯片	为满足用户对存储容量需求的提升，智能手机需要搭载更多的存储芯片	过去主要使用传统封装技术。但是，为契合智能手机小型化、集成化的发展方向，存储芯片将更多使用到 FC、WLP 等先进封装技术

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

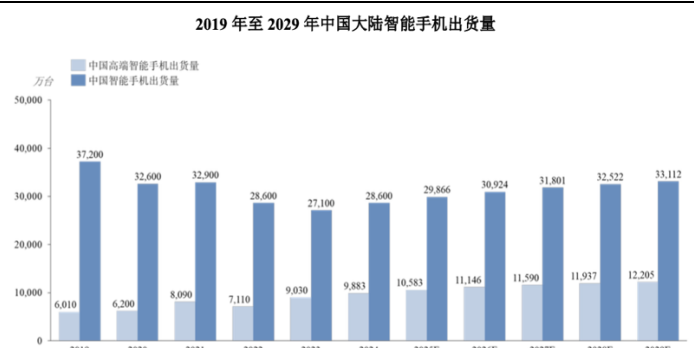
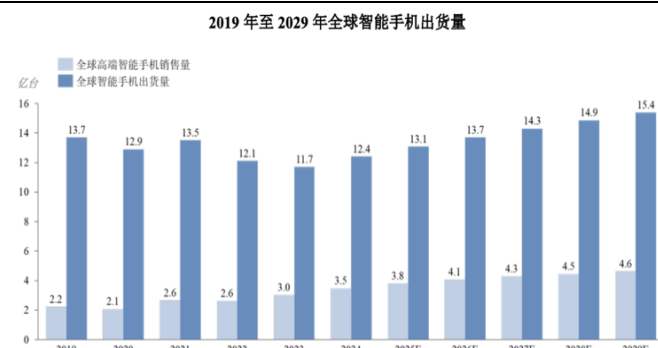
从出货量看，虽然受公共卫生事件、政治经济不确定性和消费者需求下降等因素影响，2019 年至 2023 年全球智能手机出货量总体呈现下降趋势，但是，对于单价大于 600 美元的高端智能手机，其出货量总体呈现稳定增长的态势。高端智能手机的功能更丰富、性能更优异、通信制式更全面，需要搭载更多使用到先进封装技术的芯片。

此后，随着厂商库存的正常化，以及折叠屏手机、AI 手机的加速渗透，全球智能手机出货量自 2024 年开始复苏并预计将保持增长态势。对于高端智能手机，预计其出货量将保持稳定增长。

与全球市场相同，2019 年至 2023 年中国大陆智能手机出货量总体呈现下降趋势，此后，中国大陆智能手机出货量自 2024 年开始复苏并预计将保持增长态势。中国大陆高端智能手机出货量除 2022 年出现下降外，其余年度均总体呈现稳定增长的趋势。

图 34 2019 年至 2029 年全球智能手机出货量

图 35 2019 年至 2029 年中国大陆智能手机出货量



资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

支持各种人工智能大模型的 AI 手机和 AIPC 实现了高性能运算与移动终端两大先进封装重要下游行业的融合，渗透率有望实现快速提升，根据台积电的预计，全球 AI 手机和

AIPC 的渗透率将于 2027 年均超过 50%

图表 36 全球 AI 手机和 AIPC 的渗透率将于 2027 年均超过 50%

项目	2023	2024	2025E	2026E	2027E	2028E
全球 AI 手机渗透率	6%	17%	32%	42%	56%	68%
全球 AI PC 渗透率	8%	20%	35%	43%	53%	59%

资料来源：盛合晶微半导体有限公司招股说明书，台积电，华安证券研究所

3 研发团队具备丰富行业经验，持续聚焦高性能运算和智能终端用芯片先进封装

3.1 盛合晶微股权结构稳定，产业客户赋能投资阵容强大

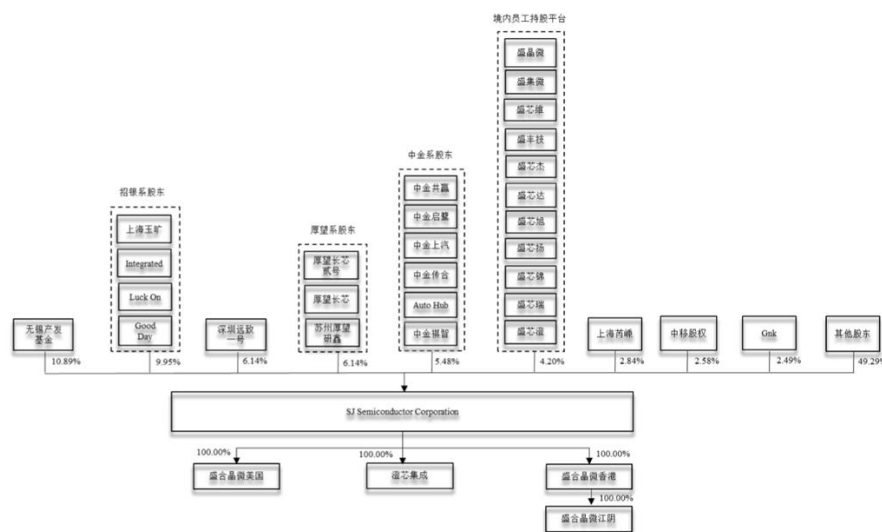
盛合晶微前身为中芯长电半导体（江阴）有限公司，由中芯国际与长电科技合资创立。2021 年中芯国际以 3.97 亿美元转让所持 55.87% 股权后更名为盛合晶微。成立至今，盛合晶微共历经 5 次融资，其中多轮融资金额超过数亿美元，背后投资方阵容庞大。

该公司 2015 年 11 月的 A 轮融资投资方包括中芯国际、高通创投、国家集成电路产业投资基金。随后于 2021 年、2023 年发生的 C 轮和 C+ 轮融资金额分别为 3 亿美元、3.4 亿美元，并且引入了厚望系和中金系股东。其中公司服务的第一个客户为当时全球最大的芯片设计企业高通公司，系高通公司当时近几年来唯一新引入的中段硅片凸块加工制造供应商，且在业务起步之初即可以符合高通公司对于技术水平、产品良率、可靠性、工艺管控等的高标准严要求，成为中国大陆在中段硅片加工领域起步最早、技术最先进的企业之一。

盛合晶微最近一期融资发生在 2024 年 12 月，融资金额达 7 亿美元，投资方包括新国联集团、新城投资、孚腾资本、上海国际集团、临港数科基金、君联资本及国寿股权。

股权结构方面，截至招股说明书签署日，盛合晶微前五大股东分别为无锡产发基金、招银系股东、深圳远致一号、厚望系股东、中金系股东，持股比例分别为 10.89%、9.95%、6.14%、6.14%、5.48%。

图表 37 盛合晶微公司股权结构



资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 38 盛合晶微主要子公司（2025 年 6 月 30 日/2025 年 1-6 月）（单位：万元）

2025 年 1-6 月数据（万元）	总资产	净资产	营业收入	净利润
盛合晶微江阴	1,854,547.15	1,121,735.36	317,799.62	37,340.58
盛合晶微香港	1,085,055.68	-116.24	-	-36.16
盛合晶微美国	531.55	454.38	320.54	-48.41
澄芯集成	24,994.61	20,711.18	19,993.62	-532.34

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 39 盛合晶微主要子公司（2024 年 12 月 31 日/2024 年度）（单位：万元）

2024 年度（万元）	总资产	净资产	营业收入	净利润
盛合晶微江阴	1,510,550.94	832,574.61	470,539.56	22,585.06
盛合晶微香港	841,100.06	-80.11	-	-40.23
盛合晶微美国	521.92	504.72	434.58	135.82
澄芯集成	18,240.66	17,007.42	23,612.25	-238.90

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

3.2 盛合晶微核心技术人员拥有丰富的行业经验

公司核心技术人员拥有丰富行业经验。李建文先生，1970 年 1 月出生，中国国籍，无境外永久居留权，硕士研究生学历。李建文先生自 1994 年 3 月至 1995 年 8 月，任中国航天科工集团公司第九研究院 IC 设计工程师；1995 年 8 月至 2003 年 4 月，任新加坡特许半导体制造有限公司工艺制程经理；2003 年 4 月至 2007 年 12 月，任上海华虹 NEC 电子有限公司工程一部副部长；2007 年 12 月至 2014 年 9 月，任安靠封装测试(上海)有限公司资深营运总监；2014 年 9 月至今任职于本公司，2019 年 3 月起任公司资深副总裁，2021 年 12 月起任公司资深副总裁兼首席运营官，2024 年 2 月起任公司董事、资深副总裁兼首席运营官。

沈月海先生，1970 年 9 月出生，中国国籍，无境外永久居留权，本科学历。沈月海先生自 1992 年 7 月至 2002 年 7 月，任华越微电子有限公司测试经理；2002 年 7 月至 2015 年 4 月，任中芯上海测试资深经理；2015 年 4 月至今，任职于本公司，历任公司测试部门资深总监、测试部门副总裁。

俞忠良先生，1976 年 1 月出生，中国国籍，无境外永久居留权，本科学历。俞忠良先生自 1998 年 7 月至 2000 年 5 月，任中国二十冶集团有限公司工程师；2000 年 5 月至 2001 年 5 月，任飞利浦光磁电子(上海)有限公司工程师；2001 年 5 月至 2002 年 5 月，任东电半导体设备(上海)有限公司 Etch 技术支持工程师；2002 年 5 月至 2004 年 5 月，任应用材料(中国)有限公司 Etch 技术支持工程师；2004 年 5 月至 2008 年 2 月，任英特尔产品(上海)有限公司测试工程师；2008 年 2 月至 2014 年 9 月，任安靠封装测试(上海)有限公司 Bumping 资深经理；2014 年 9 月至今，任职于本公司，担任公司晶圆级芯片封装部门资深总监。

薛兴涛先生，1978 年 5 月出生，中国国籍，无境外永久居留权，博士研究生学历。薛兴涛先生自 2003 年 4 月至 2004 年 6 月，任浙江海纳半导体股份有限公司工程技术部工程师；2004 年 6 月至 2008 年 7 月，任中芯上海晶圆九厂和产品工程处资深工程师；2008 年 7 月至 2012 年 9 月，任杭州华大海天科技有限公司技术部经理；2012 年 9 月至 2019 年 1 月，任中芯上海中段晶圆一厂工程部资深经理；2019 年 1 月至今，任职于本公司，任公司技术开发与应用研究中心资深总监。

佟大明先生，1979 年 9 月出生，中国国籍，无境外永久居留权，硕士研究生学历。佟

大明先生自 2005 年 8 月至 2018 年 12 月，任职于中芯上海工艺整合部门；2019 年 1 月至今，任职于本公司，担任公司凸块制造部门运营总监。

图表 40 盛合晶微公司核心技术人员

序号	姓名	职位
1	李建文	董事、资深副总裁、首席运营官
2	LIN CHENG-CHUNG (林正忠)	研发副总裁
3	沈月海	测试部门副总裁
4	俞忠良	晶圆级芯片封装部门资深总监
5	薛兴涛	技术开发与应用研究中心资深总监
6	佟大明	凸块制造部门运营总监

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 41 盛合晶微核心技术人员的学历背景、专业资质、科研成果和获奖情况，以及对公司研发的具体贡献情况（1）

姓名	学历背景	专业资质、科研成果和获奖情况	对公司研发的贡献
李建文	硕士	具备 30 年的集成电路制造和先进封装行业的从业经验	作为公司首席运营官，全面领导公司的运营管理工作，推动公司完成各项研发成果的产业化，并曾作为运营负责人协助公司完成各类业务早期的产线建设、试生产、规模量产、良率提升、产能提升等工作
LIN CHENG-CHUNG (林正忠)	硕士	1、具备 30 年的集成电路制造和先进封装行业的从业经验 2、截至 2025 年 6 月 30 日，作为发明人参与公司 148 项已授权发明专利、261 项已授权实用新型专利和 67 项已授权境外专利的开发工作 3、曾获 2019 年度江阴高新区优秀首席技术（质量）官和江阴市最佳“企业首席技术官”荣誉称号	作为公司研发副总裁，全面负责公司技术路线和研发方向的确定，全面领导公司各个新技术平台的设计、开发和应用以及各类前沿技术的预研，并曾作为技术负责人协助公司完成各类业务早期的新技术研发工作
沈月海	本科	具备 30 年以上的集成电路测试行业的从业经验	作为公司 CP 部门负责人，全面负责公司 CP 业务的开展及相关核心技术的形成，并全面领导公司 CP 部门各项研发工作的推进，包括但不限于： 1、完成 SoC、MEM、RF 等高端测试平台产线搭建及相关产品的评估、导入和量产 2、协助公司在各高、中端测试平台产线的工程技术支持和综合生产效率上保持优势 3、搭建芯粒多芯片集成封装技术平台配套的先进测试产线，以便进行快速验证测试并反馈良率，协助加速封装工艺提升
俞忠良	本科	具备 20 年以上的集成电路制造和先进封装行业的从业经验	作为公司 WLCSP 部门负责人，全面负责公司 WLCSP 业务的开展及相关核心技术的形成，并全面领导公司 WLCSP 部门各项研发工作的推进，包括但不限于： 1、完成 RF、EEPROM、Flash、PMU 等 WLCSP 平台相关产品的研发和量产，生产规模处于中国大陆领

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 42 盛合晶微核心技术人员的学历背景、专业资质、科研成果和获奖情况，以及对公司研发的具体贡献情况（2）

姓名	学历背景	专业资质、科研成果和获奖情况	对公司研发的贡献
			先地位，在各工艺平台的制造技术和综合生产效率上保持优势 2、负责芯粒多芯片集成封装技术平台配套的先进研磨和切割环节的研发和量产 3、主导 WLCSP 业务多项新工艺的研发及产业化，以及多款关键设备和原材料的本地供应和量产导入
薛兴涛	博士	1、拥有高级工程师专业职称，受聘为江苏省工业和信息化厅专家和东南大学专业学位硕士研究生校外指导教师 2、具备 20 年以上的集成电路制造和先进封装行业的从业经验 3、截至 2025 年 6 月 30 日，作为发明人参与公司 7 项已授权发明专利、17 项已授权实用新型专利和 4 项已授权境外专利的开发工作，在国内外核心期刊发表文章十余篇 4、入选 2024 年度无锡市“太湖人才计划”创新人才名单（B 类）和 2025 年度江阴市“暨阳英才计划”创新领军人才项目名单，曾获 2023 年度无锡市高质量发展先进个人和 2020 年度江阴高新区优秀首席技术（质量）官荣誉称号，以及第四届江阴市“十大科技之星”提名奖	作为公司先进封装技术平台的开发和量产导入负责人，全面负责新封装结构、新材料和新工艺的开发和量产导入工作，包括但不限于公司现有及开发中的各类芯粒多芯片集成封装技术平台
佟大明	硕士	具备 20 年的集成电路制造和先进封装行业的从业经验	作为公司 Bumping 部门负责人，全面负责公司现阶段 Bumping 业务的开展，并全面领导公司 Bumping 部门现阶段各项研发工作的推进，包括但不限于： 1、负责芯粒多芯片集成封装技术平台配套的 Bumping 环节的研发和量产 2、主导 Bumping 业务多项新工艺的研发及产业化、多款新材料的可行性研究和量产导入，以及多款关键原材料和零部件的本地供应和量产导入

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

3.3 盛合晶微持续投入研发，重点投入三维多芯片集成封装项目和超高密度互联三维多芯片集成封装项目

“三维多芯片集成封装项目”主要与 2.5D、3D Package 等芯粒多芯片集成封装技术平台相关，并依托相关核心技术，计划形成多个芯粒多芯片集成封装技术平台的规模产能，同时补充配套的 Bumping 产能。

“超高密度互联三维多芯片集成封装项目”主要与 3D IC 技术平台相关，计划形成 3D IC 技术平台的规模产能。

目前，“三维多芯片集成封装项目”相关的技术平台均已搭建完成，“超高密度互联三维多芯片集成封装项目”相关的技术平台已搭建完成或已进入全流程验证，上述技术平台均具备形成规模产能的技术基础。

本次募集资金投资项目通过形成多个芯粒多芯片集成封装技术平台的规模产能，并补充配套的 Bumping 产能，有利于公司提升科技创新能力，实现核心技术的产业化，扩充产品组合，保证配套 Bumping 环节的产能供应，促进主营业务的快速发展，并有利于公司实现“致力于发展先进的芯粒多芯片集成封装测试一站式服务能力，在后摩尔时代与客户紧密合作，大力投资研发、推动技术进步，满足高算力、高带宽、低功耗等全面性能提升对先进封装的综合性需求”的未来经营战略规划。

图表 43 盛合晶微公司募集资金投资项目

单位：亿元			
序号	项目名称	总投资额	拟投入募集资金
1	三维多芯片集成封装项目	84.00	40.00
2	超高密度互联三维多芯片集成封装项目	30.00	8.00
合计		114.00	48.00

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

三维多芯片集成封装项目计划在公司现有厂区内新建生产厂房，同时购置相关设备，形成 2.5D、3D Package 等多个芯粒多芯片集成封装技术平台的规模产能，并补充配套的 Bumping 产能。本项目建成达产后，将新增 1.6 万片/月的三维多芯片集成封装产能和 8 万片/月的 Bumping 产能。本项目连续入选 2023 年、2024 年和 2025 年江苏省重大项目名单，并被列为 2024 年江苏省标志性重大项目。

图表 44 盛合晶微公司三维多芯片集成封装项目（总投资概算情况）

单位：亿元			
序号	项目	投资金额	比例
1	建筑工程费	4.60	5.48%
2	设备购置费	75.15	89.47%
3	工程建设其他费用	0.13	0.15%
4	预备费	0.32	0.38%
5	铺底流动资金	3.80	4.52%
合计		84.00	100.00%

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 45 公司各年度主要采购机台和设备种类 2025 年 1-6 月 图表 46 公司各年度主要采购机台和设备种类 2022 年-2025 年 1-6 月

年度	序号	采购设备类型	采购金额（万元）	占比
2025 年 1-6 月	1	测试机	77,779.36	53.54%
	2	固晶机	20,561.79	14.15%
	3	检测机	7,448.25	5.13%
	4	研磨机	5,986.82	4.12%

年度	序号	采购设备类型	采购金额（万元）	占比
2024 年度	5	清洗机	4,301.73	2.96%
	1	测试机	81,662.99	28.53%
	2	检测机	14,828.93	5.18%
	3	光刻机	14,089.34	4.92%
	4	清洗机	10,957.63	3.83%
2023 年度	5	显微镜	10,238.19	3.58%
	1	测试机	71,048.84	21.31%
	2	检测机	34,873.72	10.46%
	3	电镀机	27,155.12	8.14%
	4	金属喷射机	9,787.60	2.94%
2022 年度	5	清洗机	9,168.66	2.75%
	1	测试机	33,260.31	19.94%
	2	电镀机	14,788.28	8.87%
	3	检测机	12,178.62	7.30%
	4	切割机	8,212.32	4.92%
	5	光刻机	7,170.30	4.30%

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

超高密度互联三维多芯片集成封装项目计划在公司现有厂区内新增生产厂房、研发车间及配套设施等建筑结构，同时购置相关设备，形成 3D IC 技术平台的规模产能。本项目建成达产后，将新增 4,000 片/月的超高密度互联三维多芯片集成封装产能。

图表 47 盛合晶微公司超高密度互联三维多芯片集成封装项目（总投资概算情况）

单位：亿元			
序号	项目	投资金额	比例
1	工程建设及其他费用	6.00	20.00%
2	设备购置费	24.00	80.00%
合计		30.00	100.00%

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

(1)Bumping 平台

公司 Bumping 平台的核心技术全面应用于再钝化(PI 层)、溅镀、光刻、电镀、刻蚀、回焊、检测等主要工艺环节。

Bumping 主要用于弥补传统引线键合工艺在封装更高集成度芯片时的局限性，因此，能否支持更高集成度的芯片是评判 Bumping 工艺水平的重要考量因素。公司在最小凸块间距、最小凸块直径等与芯片集成度直接关联的性能指标上与全球领先封测企业处于同一先进水平。因此，公司 Bumping 平台的核心技术达到“国际领先”水平。

(2)CP 平台

公司 CP 平台的核心技术应用于设备自动化系统开发、测试方案开发、测试设备改造升级、测试治具设计等方面。

公司在最小 Pad 间距/尺寸、最大同测数、最高 Pin 数等多个关键性能指标上优于全球领先测试企业，可以支持更多测试项目、更多种类芯片和更先进芯片的晶圆测试作业。因此，公司 CP 平台的核心技术达到“国际领先”水平。

(3)WLCSP 平台

公司 WLCSP 平台的核心技术全面应用于晶圆研磨减薄、激光开槽、晶圆切割、缺陷检验等主要工艺环节。

WLCSP 主要用于射频芯片、电源管理芯片、存储芯片、指纹识别芯片等移动终端芯片，超薄化、小型化、集成化是该类芯片的重要发展方向，因此，能否实现更小、更薄的封装结构是评判 WLCSP 工艺水平的重要考量因素。公司在最小晶圆减薄厚度等与芯片超薄化直接关联的性能指标上优于全球领先封测企业；在最小封装尺寸等与芯片小型化直接关联的性能指标上与全球领先封测企业处于同一先进水平，可实现更小、更薄的封装结构，满足客户对于移动终端芯片超薄化、小型化、集成化的发展需求。此外，公司还掌握适用于更先进技术节点、更高集成度芯片、不同产品类型的 12 英寸 Low-K 激光开槽技术，并在性能指标上与全球领先封测企业处于同一先进水平。因此，公司 WLCSP 平台的核心技术达到“国际领先”水平。

图表 48 盛合晶微公司核心技术基本情况（1）

主营业务领域	技术平台	技术工艺特征和先进性表征	技术先进性	所处阶段
中段硅片加工	Bumping	1、中国大陆第一家能够提供 14nm 先进制程凸块制造的企业，并掌握适用于更先进制程芯片的混合凸块（Mix bump）制造技术 2、中国大陆第一家量产低温钝化层重构技术的企业，同时具备低温胶 ELK 防护技术和先进的低温溅镀技术，可抑制氧化铝的生长，从而降低接触电阻，改善凸块的电性能 3、高平坦化电镀技术：在电镀凸块共面性上优于全球领先封测企业，并可解决更先进制程芯片混合凸块、高深宽比、高疏密比、纯铜柱凸块等特殊设计导致的凸块共面性问题 4、超高密度微凸块制造技术：可量产实现 20um/12um 的最小凸块间距/直径，单颗芯片的凸块数量可达数十万个，与全球领先封测企业处于同一先进水平 5、创新性的凸块缺陷检测技术： （1）在更先进制程芯片的检测上提供更低的辐射能量避免对产品造成影响 （2）提高晶圆边缘不完整裸片的凸块缺陷检测的自动化程度、检测效率和准确率 （3）实现更小尺寸、更小高度的微凸块共面性、高度、金属含量等的检测	国际领先	大规模量产
	CP	1、自动化测试和数据分析技术：自主研发设备自动化系统，可实现高阶定制化的数据处理和检查功能，提高作业质量和效率 2、测试方案开发技术：可为逻辑、存储、射频、混合信号等多类芯片开发测试方案，并开发出适用于更先进制程芯片、硅转接板、芯粒多芯片集成封装等的高端测试方案 3、测试设备/治具改造升级技术：对多个核心测试设备/治具进行多项创新性的改造升级，可降低作业成本，提高作业效率，并提升作业的灵活度和稳定性 4、探针卡宽温域测试能力和维护能力在 Pin 数、电性水平和温控形变等多方面业界领先	国际领先	大规模量产
晶圆级封装	WLCSP	1、超薄芯片减薄切割技术：通过工艺优化规避因芯片过薄而产生的破片或背崩风险，可实现优于全球领先封测企业的最小晶圆减薄厚度，契合客户对于芯片超薄化的发展需求 2、12 英寸 Low-K 激光开槽技术：激光开槽是先进技术节点 Low-K 晶圆在切割前的必要工序，公司根据不同产品结构掌握各种配套的激光开槽技术，且在激光开槽精度控制上与全球领先封测企业处于同一先进水平 3、高精度红外检测芯片缺陷技术：可对芯片的六面均进行裂纹缺陷（Die crack）的检测，全面筛选出芯片加工过程中产生的隐裂缺陷，确保产品出货的质量安全	国际领先	大规模量产
	Enhanced-WLCSP	1、芯片再分布翘曲控制技术：可有效控制因各层材料热膨胀系数不匹配导致的翘曲问题 2、高可靠性技术：通过工艺优化规避现有工艺下 Low-K 介电层易产生裂痕、芯片背面易破裂、芯片易与重布线层接触不良等风险，可显著提高产品的可靠性和稳定性	—	小量试产
芯粒多芯片集成封装	SmartPoser®-Si	1、中国大陆量产最早、生产规模最大的基于硅转接板的 2.5D 技术平台之一，全球范围内只有少数最领先的晶圆制造企业和封测企业能够量产相似的技术平台	国际领先	大规模量产

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

(4)SmartPoser®-Si 平台

公司 SmartPoser®-Si 平台的核心技术全面应用于大尺寸转接板加工、多芯片异构集成、上基板封装等主要工艺环节。

2.5D 主要用于解决后摩尔时代单纯依赖晶圆制造工艺无法实现更高性能芯片的问题，其主要通过集成多颗芯粒，突破 1 倍光罩的尺寸限制，使得芯片系统内总晶体管数量上升，从而提升芯片系统的性能。因此，能否在单个芯片系统内集成更多数量的晶体管是评判 2.5D 工艺水平的重要考量因素。

公司的 SmartPoser®-Si 平台是中国大陆量产最早、生产规模最大的基于硅转接板的 2.5D 技术平台之一，且在最小微凸块间距、最大硅转接板尺寸等与芯片系统集成度直接关联的性能指标上与全球最领先半导体制造企业处于同一先进水平。因此，公司 SmartPoser®-Si 平台的核心技术达到“国际领先”水平。

(5)SmartPoser®-POP 平台

公司 SmartPoser®-POP 平台的核心技术全面应用于高铜柱制造、高密度重布线制造、多芯片异构集成等主要工艺环节。

3D Package 作为新型扇出型封装技术，相比现有成熟方案可以实现更高的性能、更低的功耗，更优的导热性，以及更小、更薄、更紧凑的封装结构，因此，能否充分发挥上述优势是评判 3D Package 工艺水平的重要考量因素，涉及的关键性能指标包括最小重布线线宽/线距、最大重布线互联层数、最小高铜柱间距、最大高铜柱深宽比等。在同行业公司已公开的最小重布线线宽/线距、最大重布线互联层数等关键性能指标上，公司的 SmartPoser®-POP 平台与全球最领先半导体制造企业处于同一先进水平。因此，公司 SmartPoser®-POP 平台的核心技术达到“国际领先”水平。

图表 49 盛合晶微公司核心技术基本情况（2）

主营业务领域	技术平台	技术工艺特征和先进性表征	技术先进性	所处阶段
		2、背面平坦化露铜技术： （1）通过背面研磨后平坦化露铜的方式，可实现硅转接板中硅通孔“盲孔”的平齐裸露，提供符合芯粒多芯片集成工艺要求的高平坦度和表面粗糙度 （2）优化介电层沉积工艺，改善介电层与基底硅的结合力，提高可靠性和稳定性 3、大尺寸硅转接板加工技术： （1）可实现多块掩模版的无偏差拼接，提供最大硅转接板尺寸约合 3 倍光罩的产品 （2）通过优化硅转接板上芯片的硅占比，有效降低大尺寸硅转接板的翘曲程度 （3）掌握临时键合和解键合工艺，可有效增强超薄转接板的加工强度并降低碎片率 4、多芯片异构集成技术：高密度集成可达 10 个以上功能芯片 5、大尺寸 FCBGA 技术： （1）支持封装的芯片（晶粒）尺寸可达 50mm*50mm 以上，对应封装成品尺寸可达 75mm*75mm 以上 （2）大尺寸封装下支持 130um 的最小凸块间距，并搭配高导热方案，实现对同时具备大尺寸和高 I/O 密度特点的高性能芯片的封装作业		
	SmartPoser®-RDL	1、多层超细线宽/线距重布线制造技术：可实现小至 2um/2um 的线宽/线距，以及多达 6P6M（6 层金属层 6 层介电层）的互联层数 2、大尺寸扇出型技术： （1）可实现多块掩模版的无偏差拼接 （2）通过工艺调控克服大尺寸有机转接板的高翘曲性，可实现总体工艺环节的低翘曲度 3、多芯片异构集成技术：高密度集成可达 4 个以上功能芯片 4、大尺寸 FCBGA 技术：详见 SmartPoser®-Si 平台	—	小量试产
	SmartPoser®-BD	1、兼具 SmartPoser®-Si 和 SmartPoser®-RDL 平台的技术工艺特征，涵盖多层超细线宽/线距重布线制造技术、大尺寸扇出型技术、多芯片异构集成技术、大尺寸 FCBGA 技术等 2、硅桥转接板制造技术： （1）高铜柱制造技术：通过制造高铜柱凸块，实现硅桥转接板内部垂直方向的电气互联 （2）类似前段 CMP 工艺的湿抛技术：实现对合金/无机复合物/有机复合物的异质界面的高精度研磨，并可解决传统干法研磨工艺易导致硅桥芯片中硅通孔纵深破裂的问题	—	已完成全流程验证和可靠性验证
	SmartPoser®-3DIC-BP	1、超高密度互联技术：可实现 20um 及以下间距的微凸块结构，显著提升 I/O 密度和数据传输带宽，使芯片系统在同尺寸下拥有更多功能和更高算力 2、有源芯片背面露铜技术：可实现有源晶圆上的芯片堆叠，且有源晶圆中硅通孔的孔径和密度均较 2.5D 技术显著提升	—	已完成全流程验证

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 50 盛合晶微公司核心技术基本情况（3）

主营业务领域	技术平台	技术工艺特征和先进性表征	技术先进性	所处阶段
		3、超薄硅制造技术：可实现相比 2.5D 技术更小的减薄厚度，提升三维芯片系统的散热能力，并节省空间 4、高精度芯片贴装技术：显著提升贴装对准精度，提高芯片内信号传输能力		
	SmartPoser®-POP SmartPoser®-AiP	1、高铜柱制造技术：可制造高达 250um 以上的高铜柱，实现垂直方向的电气互联 2、多层超细线宽/线距重布线制造技术：可实现小至 2um/2um 的线宽/线距，以及多达 6P6M（6 层金属层 6 层介电层）的互联层数 3、多芯片异构集成技术：高密度集成多个功能芯片并实现多层芯片的三维堆叠整合	国际领先	规模量产

注 1：对于全流程先进封装服务晶圆级封装（WLP）和芯粒多芯片集成封装，由于其包括中段硅片加工及后段先进封装工序，因此中段硅片加工工序的核心技术不再重复列示，仅列示后段先进封装工序的核心技术

注 2：仅对比已实现规模量产的技术平台的先进性情况

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

公司在各主营业务领域均开展研发工作，以进一步巩固现有技术平台的领先地位，并根据行业发展趋势不断拓展前沿技术的研发。

图表 51 盛合晶微公司在研项目（1）

序号	主营业务领域	研发项目名称	研发内容和研发目标	研发进度
1	中段硅片加工	晶圆级先进封装凸块的关键设备国产组件验证开发（一期）	研发多种设备关键组件，实现适配国产关键备件的测试验证平台，确保其满足半导体生产的严苛标准	调试验证阶段
2		多维桥接互联微凸块工艺平台开发	开发高高度和直径比的微凸块加工工艺，实现光处理芯片、传感芯片等多维度芯片间的桥接互联	调试验证阶段
3		基于先进测试平台的方案开发（二期）	基于先进的高端测试平台，根据不同类别的产品要求开发测试程序和测试方案	开发阶段
4		基于测试平台电性测试方式创新与应用（一期）	在 MES/EAP 的基础上深度融合 RCM（远程管控系统）/RPA（机器人流程自动化系统）/Auto Contact/Offline PMI 等高阶创新测试功能	调试验证阶段
5		高带宽存储芯片先进测试量测方案研发	建立全流程的高带宽存储器自动化测试和量测方案	调试验证阶段
6		基于大功率堆叠芯片测试国产探针台开发（一期）	导入大功率堆叠芯片测试新型探针台，提升设备技术水平	调试验证阶段
7		新型微机电探针卡测试应用开发（一期）	研究提升新型二维微机电高针数探针卡的测试性能，改善电性水平和高低温测试性能	调试验证阶段
8	晶圆级封装	晶圆级封装磨划切国产材料验证开发（二期）	验证导入 WLCSP 中磨划切环节的国产材料	调试验证阶段
9		晶圆级封装特殊 Low-K 结构的激光开槽技术开发及应用	开发特殊 Low-K 结构 WLCSP 的激光开槽技术，实现更厚金属层及更窄切割道作业的工艺能力	调试验证阶段
10		Enhanced-WLCSP 封装平台开发-一代	开发高长度和宽度比的 FO 产品	试产阶段
11		单颗或单片扇出型封装技术研发探索	开发适用于更大尺寸及更多 I/O 接点的高性能芯片的高可靠性、高互联密度 FO 产品	调试验证阶段
12	芯粒多芯片集成封装	芯粒封装磨划切国产材料验证开发（一期）	验证导入芯粒封装中磨划切环节的国产材料	调试验证阶段
13		芯粒磨划切国产设备验证开发（二期）	验证导入芯粒封装中磨划切环节的国产设备	试产阶段
14		芯粒封装切割及后段新技术开发及平台建立	开发芯粒封装的先进磨划工艺，满足芯粒封装的严格要求，同时开发全自动化的生产能力提高生产效率	调试验证阶段
15		硅基 2.5D 芯粒（P1）封装材料性能研究及产业化应用	验证导入硅基 2.5D 的国产材料	试产阶段
16		硅基 2.5D 芯粒（P1）封装设备及其精密治具的开发导入	验证导入硅基 2.5D 的国产设备及精密治具	试产阶段

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 52 盛合晶微公司在研发项目（2）

序号	主营业务领域	研发项目名称	研发内容和研发目标	研发进度
17	芯粒多芯片集成封装	硅基 2.5D 芯粒（P1）封装良率与工艺协同优化关键技术研究	优化硅基 2.5D 的工艺环节，解决现有的工艺异常问题，降低异常良率损失，实现产线稳定运行	试产阶段
18		SmartPoser [®] -Si 高密度硅穿孔中介层集成封装平台技术精进-2.1	持续进行硅基 2.5D 产品的技术延伸和拓展、工艺改善和工艺问题解决，开发更高质量、更高良率、更高规格、更大尺寸、更低成本的硅基 2.5D 产品	试产阶段
19		SmartPoser [®] -Si 高密度硅穿孔中介层集成封装平台技术精进-3.1		试产阶段
20		SmartPoser [®] -Si 高密度硅穿孔中介层集成封装平台开发-四代		试产阶段
21		SmartPoser [®] -Si 高密度硅穿孔中介层集成封装平台开发-五代	持续开发更大转接板尺寸、更多技术路线组合的硅基 2.5D 产品	试产阶段
22		SmartPoser [®] -Si 高密度硅穿孔中介层集成封装平台开发-六代		调试验证阶段
23		SmartPoser [®] -Si 高密度硅穿孔中介层集成封装技术路线探索	开发 Chip first/C4 last 技术路线的硅基 2.5D 产品	调试验证阶段
24		SmartPoser [®] -RDL 扇出型载板集成封装平台开发-三代	持续开发更大转接板尺寸、更多技术路线组合的扇出型 2.5D 产品	调试验证阶段
25		SmartPoser [®] -BD 芯片底部互联扇出型载板集成封装平台开发-一代	开发硅桥 2.5D 产品，提高产品性能稳定性和良率	调试验证阶段
26		SmartPoser [®] -BD 技术探索之有源硅超薄双面凸块底部互联芯片技术开发	开发有源硅超薄双面凸块技术路线的硅桥芯片加工平台	开发阶段
27		SmartPoser [®] -Active 高密度有源硅穿孔中介层集成封装平台开发-一代	开发基于有源中介层的 2.5D 产品	试产阶段
28		SmartPoser [®] -3DIC 基于微凸块微间距互连的 3DIC 平台开发-一代	开发基于微凸块键合的 3DIC 产品	开发阶段
29		SmartPoser [®] -3DIC 超微间距互连的混合键合技术开发	开发基于混合键合的 3DIC 产品	调试验证阶段
30		SmartPoser [®] -3DIC 混合键合与 TSV 技术的 3DIC 平台开发-一代	开发基于混合键合技术、微硅通孔与大马士革工艺（有源中介层）的 3DIC 产品	调试验证阶段
31		SmartPoser [®] -Stack 三维堆叠硅通孔芯片封装平台开发-二代	持续开发更高堆叠层数的三维堆叠芯片封装产品	调试验证阶段

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 53 盛合晶微公司在研发项目（3）

序号	主营业务领域	研发项目名称	研发内容和研发目标	研发进度
32	芯粒多芯片集成封装	SmartPoser [®] -POP 三维高密度扇出型封装平台技术精进-2.1	持续进行 3D Package 产品的技术延伸和拓展、工艺改善和工艺问题解决，开发更高质量、更高良率、更高规格的 3D Package 产品	试产阶段
33		SmartPoser [®] -POP 基于高铜柱 TMV 拓展性技术探索	开发高导热、高密度的 3D Package 产品，提高产品的良率、散热性及可靠性，完善结构迭代并实现小型化	开发阶段
34		SmartPoser [®] -WB 扇出型芯片堆叠封装平台开发-一代	开发采用晶圆级的垂直引线键合工艺，可以实现多层超薄芯片三维堆叠的扇出型芯片堆叠封装产品	开发阶段
35		SmartPoser [®] -SOW 晶圆级尺寸系统集成封装平台开发-一代	基于硅通孔和重布线工艺实现 12 英寸晶圆级尺寸上芯片的全方位互联，开发晶圆级尺寸系统集成封装产品	调试验证阶段
36		SmartPoser [®] -INTP 硅基载板平台开发-三代	开发包含一种或多种直径尺寸的硅通孔垂直互联和多层亚微米铜互联的硅转接板产品	调试验证阶段
37		Fanout SiP 工艺及结构之研究开发	开发采用多层有机转接板取代封装基板，包含多颗被动元器件的扇出型系统封装产品	开发阶段
38	大尺寸 FCBGA	大尺寸 FCBGA 散热技术迭代-二代	持续开发多种高性能散热封装技术路线，布局下一代高性能热界面材料	调试验证阶段
39		大尺寸 FCBGA 多 Die 技术迭代-五代	开发异构 MCM 封装技术，持续开发更大封装尺寸、集成更多数量同质或异质芯片的 MCM 封装产品	开发阶段

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司研发费用金额分别为 25,663.42 万元、38,632.36 万元、50,560.15 万元和 36,652.11 万元，占营业收入比例分别为 15.72%、12.72%、10.75%和 11.53%，主要包括职工薪酬、折旧及摊销费、材料费、股份支付、备件及维修费、能源动力费及其他费用。近年来，公司不断加大新技术、新产品的研究与开发，研发投入保持较高水平。

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司计入研发费用的职工薪酬金额分别为 8,508.00 万元、13,821.15 万元、17,114.19 万元和 11,616.11 万元，占研发费用比例分别为 33.15%、35.78%、33.85%和 31.69%，公司持续引进研发人员，研发人员数量持续提高，研发人员职工薪酬随之提高。

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司计入研发费用的折旧和摊销金额分别为 6,710.58 万元、10,153.68 万元、16,655.90 万元和 10,903.95 万元，占研发费用比例分别为 26.15%、26.28%、32.94%和 29.75%。为提升技术实力和产品领先优势，公司高度重视研发活动，研发设备投入不断增加。

2022 年、2023 年、2024 年和 2025 年 1-6 月，公司计入研发费用的材料费金额分别为 5,057.08 万元、7,082.78 万元、8,023.69 万元和 4,934.82 万元，占研发费用比例分别为 19.71%、18.33%、15.87%和 13.46%，公司不断加大产品和工艺平台研发试制投入，相关材料领用及试验耗材增加。

图表 54 盛合晶微公司研发费用情况

单位：万元				
项目	2025 年 1-6 月	2024 年度	2023 年度	2022 年度
职工薪酬	11,616.11	17,114.19	13,821.15	8,508.00
折旧及摊销费	10,903.95	16,655.90	10,153.68	6,710.58
材料费	4,934.82	8,023.69	7,082.78	5,057.08
股份支付	3,034.05	3,833.91	2,519.99	787.24
能源动力费及其他	3,227.20	3,966.00	3,150.65	3,456.72
备件及维修费	2,935.98	966.46	1,904.11	1,143.80
合计	36,652.11	50,560.15	38,632.36	25,663.42

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 55 盛合晶微公司研发费用对应的主要项目(1)

项目名称	2025 年 1-6 月	2024 年度	2023 年度	2022 年度	实施进度
SmartPoser [®] -POP 三维高密度扇出型封装平台开发-二代	6,896.62	11,207.28	-	-	已完成
SmartPoser [®] -Active 高密度有源硅穿孔中介层集成封装平台开发-一代	4,882.32	4,360.82	2,316.25	1,074.63	进行中
SmartPoser [®] -3DIC 混合键合与 TSV 技术的 3DIC 平台开发-一代	4,505.44	3,026.68	-	-	进行中
SmartPoser [®] -Si 高密度硅穿孔中介层集成封装平台技术精进-2.1	2,505.41	3,541.39	712.84	-	进行中
Enhanced-WLCSP 封装平台开发-一代	2,310.38	2,271.77	-	-	进行中
SmartPoser [®] -POP 三维高密度扇出型封装平台技术精进-2.1	2,247.59	-	-	-	进行中
SmartPoser [®] -BD 技术探索之有源硅超薄双面凸块底部互连芯片技术开发	2,015.48	269.35	-	-	进行中
SmartPoser [®] -3DIC 超微间距互连的混合键合技术开发	1,550.13	2,640.59	-	-	进行中
SmartPoser [®] -INTP 硅基载板平台开发-三代	1,283.82	-	-	-	进行中
SmartPoser [®] -INTP 硅基载板平台开发-二代	225.17	2,996.06	1,523.47	-	已完成
SmartPoser [®] -SOW 晶圆级尺寸系统集成封装平台开发-一代	211.43	1,468.20	758.31	918.36	进行中
SmartPoser [®] -Si 大尺寸高密度硅穿孔中介层集成封装	141.51	4,712.70	12,370.70	8,873.29	已完成

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

图表 56 盛合晶微公司研发费用对应的主要项目(2)

项目名称	2025 年 1-6 月	2024 年度	2023 年度	2022 年度	实施进度
SmartPoser [®] -RDL 扇出型载板集成封装平台开发-三代	59.24	1,162.82	-	-	进行中
SmartPoser [®] -POP 三维高密度扇出型封装平台开发-一代	28.14	6,602.45	3,320.44	-	已完成
硅基 2.5D 芯粒 (P1) 封装良率与工艺协同优化关键技术研究	17.26	61.39	1,741.62	-	进行中
大尺寸芯片晶圆级全 RDL 无基板封装技术开发	-	-	-	1,979.08	已完成
SmartPoser [®] -RDL 扇出型载板集成封装平台开发-一代	-	-	-	3,593.12	已完成
MEMS 器件的单一模块技术开发	-	-	-	3,028.91	已完成
SmartPoser [®] -RDL 扇出型载板集成封装平台开发-二代	-	-	4,971.65	-	已完成
大尺寸 FCBGA 大尺寸技术迭代-一代&二代	-	-	4,717.83	3,222.53	已完成

资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

公司紧跟行业发展，不断加强前沿技术研究，重点在 2.5D/3D IC 等方向持续进行技术储备以及新技术新产品的布局，包括亚微米互联技术、混合键合技术等。

图表 57 盛合晶微公司技术储备及新技术新产品商业化情况

序号	技术储备	概况	所处阶段	拟应用领域
1	亚微米互联技术	该技术采用大马士革镶嵌结构和化学机械抛光表面整平技术，在硅片表面实现高密度的亚微米尺寸级别的铜互联，能够达到三层及以上的互联层数	技术验证	高性能运算
2	混合键合技术	该技术采用极细间距的铜-铜垂直连接方式代替微凸块实现芯片互联，为 10um 及以下间距提供了解决方案	技术验证	高性能运算

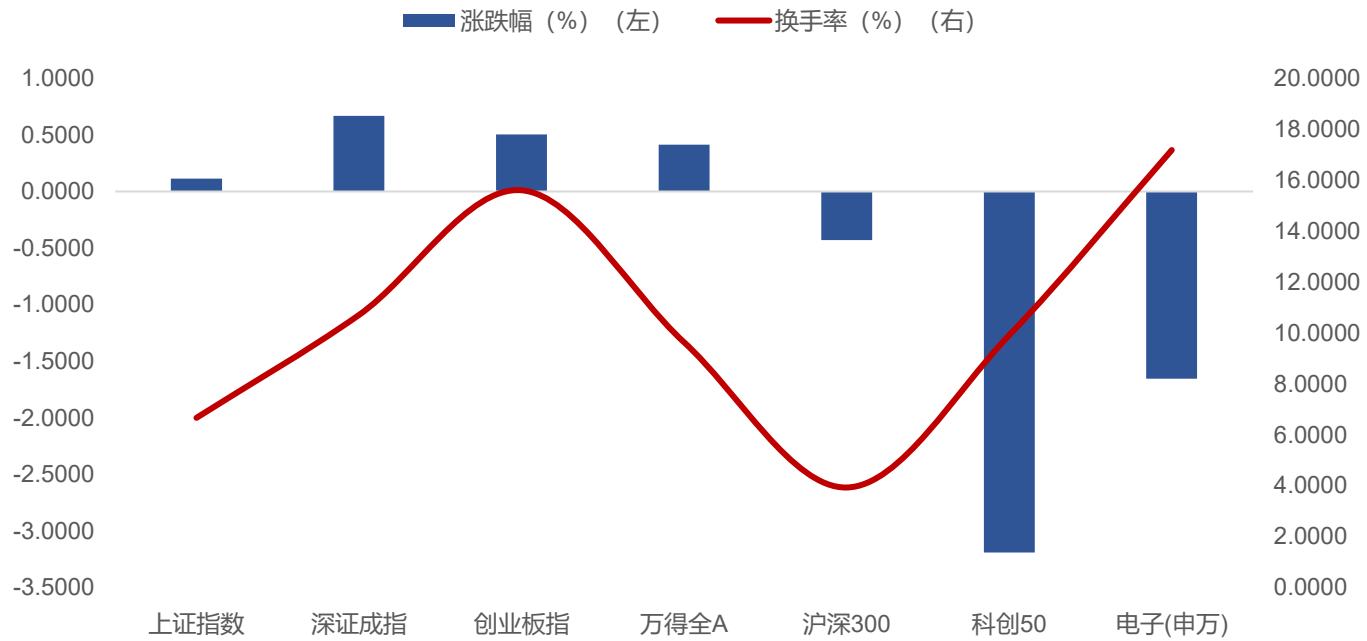
资料来源：盛合晶微半导体有限公司招股说明书，华安证券研究所

4 市场行情回顾

4.1 行业板块表现

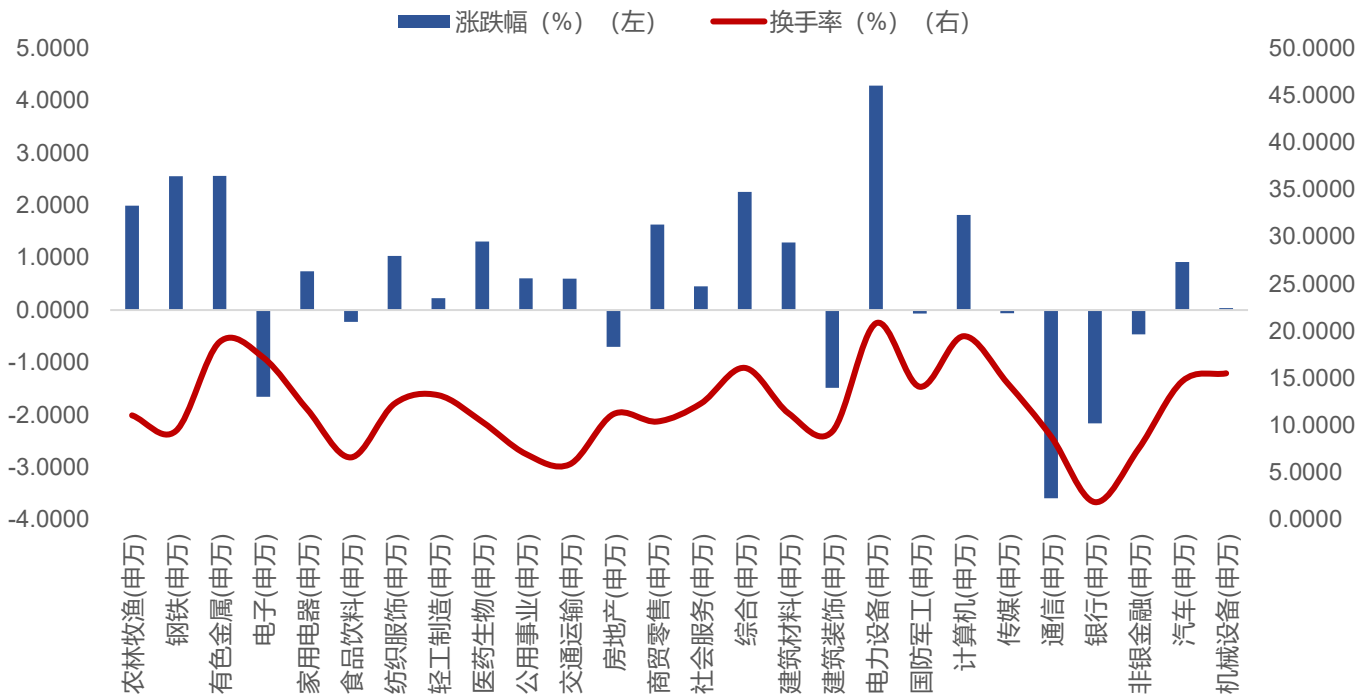
从指数表现来看，本周（2025-10-27 至 2025-10-31），上证指数周涨跌+0.11%，深证成指涨跌幅为+0.67%，创业板指数涨跌幅+0.50%，科创 50 涨跌幅为-3.19%，申万电子指数涨跌幅-1.65%。电子板块行业指数来看，表现最好的是印制电路板，涨幅为 7.31%，LED 表现较弱，跌幅为 2.05%。

图表 58 板块指数



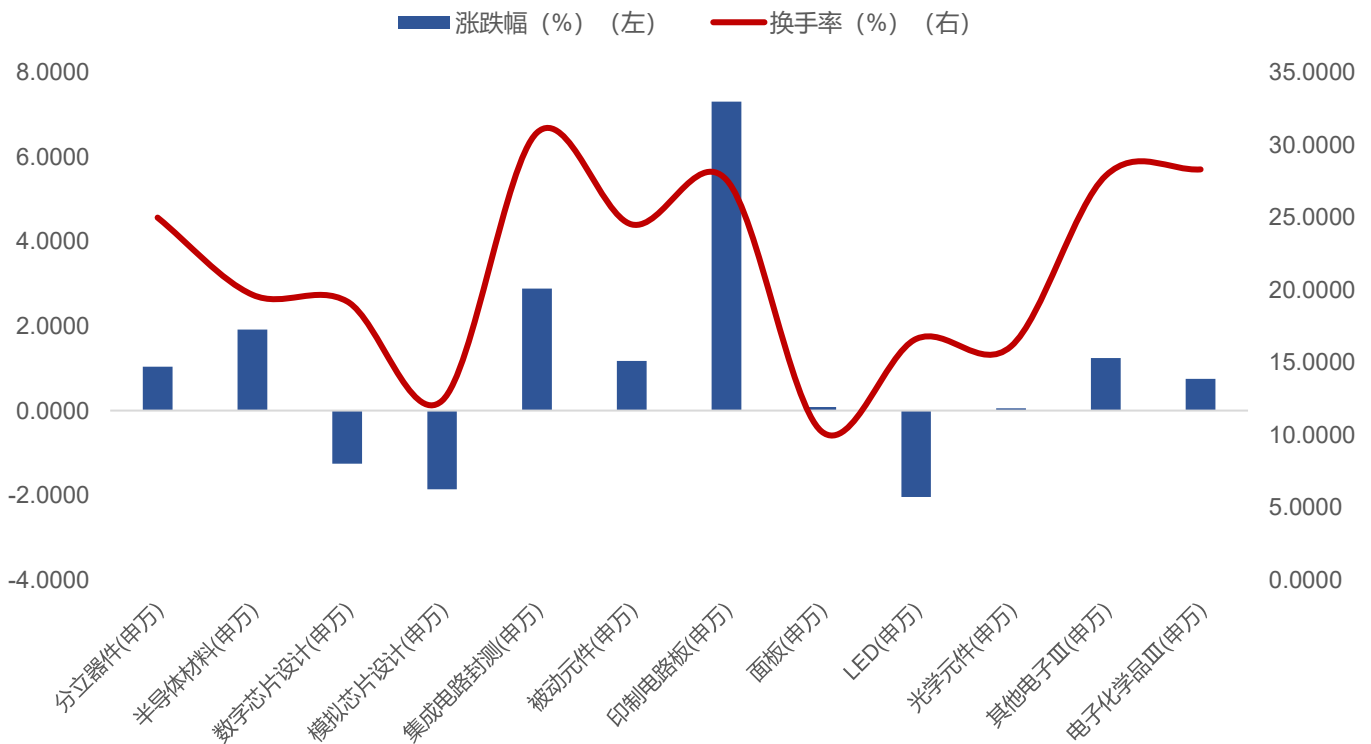
资料来源：Wind，华安证券研究所

图表 59 行业板块涨跌幅和换手率（本周电子在申万一级行业指数中 24/26 位）



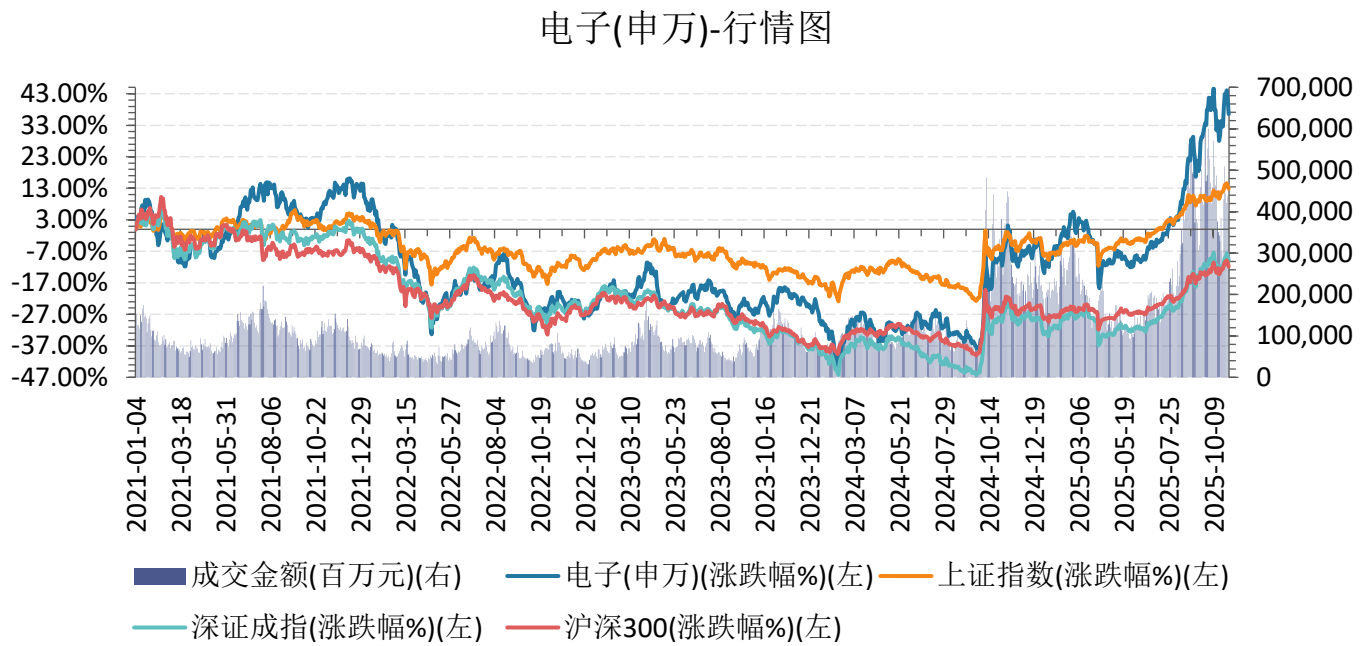
资料来源：Wind，华安证券研究所

图表 60 电子行业细分板块涨跌幅和换手率



资料来源：Wind，华安证券研究所

图表 61 电子行业行情图（2021 年 1 月 4 日至 2025 年 10 月 31 日）



资料来源：Wind，华安证券研究所

风险提示：

1) 下游需求不及预期；2) 资本开支不及预期；3) 技术迭代不及预期；4) 本报告新股介绍内容不涉及证券投资研究，仅为材料梳理以供投资者方便获取信息。

分析师与研究助理简介

陈耀波（执业证书号：**S0010523060001**）：北京大学管理学硕士，香港大学金融学硕士，华中科技大学电信系学士。8年买方投研经验，历任广发资管电子研究员，TMT组组长，投资经理助理；博时基金投资经理助理。行业研究框架和财务分析体系成熟，擅长买方视角投资机遇分析对比，全面负责团队电子行业研究工作。

李元晨（执业证书号：**S0010524070001**）：墨尔本大学会计和金融学本科，悉尼大学数据分析和金融学硕士。2022年加入华安证券研究所，目前重点覆盖 MEMS 和传感器、AI 芯片、半导体材料设备、科创板股等。

重要声明

分析师声明

本报告署名分析师具有中国证券业协会授予的证券投资咨询执业资格，以勤勉的执业态度、专业审慎的研究方法，使用合法合规的信息，独立、客观地出具本报告，本报告所采用的数据和信息均来自市场公开信息，本人对这些信息的准确性或完整性不做任何保证，也不保证所包含的信息和建议不会发生任何变更。报告中的信息和意见仅供参考。本人过去不曾与、现在不与、未来也将不会因本报告中的具体推荐意见或观点而直接或间接接收任何形式的补偿，分析结论不受任何第三方的授意或影响，特此声明。

免责声明

华安证券股份有限公司经中国证券监督管理委员会批准，已具备证券投资咨询业务资格。本报告由华安证券股份有限公司在中华人民共和国（不包括香港、澳门、台湾）提供。本报告中的信息均来源于合规渠道，华安证券研究所力求准确、可靠，但对这些信息的准确性及完整性均不做任何保证。在任何情况下，本报告中的信息或表述的意见均不构成对任何人的投资建议。在任何情况下，本公司、本公司员工或者关联机构不承诺投资者一定获利，不与投资者分享投资收益，也不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。投资者务必注意，其据此做出的任何投资决策与本公司、本公司员工或者关联机构无关。华安证券及其所属关联机构可能会持有报告中提到的公司所发行的证券并进行交易，还可能为这些公司提供投资银行服务或其他服务。

本报告仅向特定客户传送，未经华安证券研究所书面授权，本研究报告的任何部分均不得以任何方式制作任何形式的拷贝、复印件或复制品，或再次分发给任何其他人，或以任何侵犯本公司版权的其他方式使用。如欲引用或转载本文内容，务必联络华安证券研究所并获得许可，并需注明出处为华安证券研究所，且不得对本文进行有悖原意的引用和删改。如未经本公司授权，私自转载或者转发本报告，所引起的一切后果及法律责任由私自转载或转发者承担。本公司并保留追究其法律责任的权利。

投资评级说明

以本报告发布之日起 6 个月内，证券（或行业指数）相对于同期相关证券市场代表性指数的涨跌幅作为基准，A 股以沪深 300 指数为基准；新三板市场以三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）为基准；香港市场以恒生指数为基准；美国市场以纳斯达克指数或标普 500 指数为基准。定义如下：

行业评级体系

- 增持—未来 6 个月的投资收益率领先市场基准指数 5% 以上；
- 中性—未来 6 个月的投资收益率与市场基准指数的变动幅度相差 -5% 至 5%；
- 减持—未来 6 个月的投资收益率落后市场基准指数 5% 以上；

公司评级体系

- 买入—未来 6-12 个月的投资收益率领先市场基准指数 15% 以上；
- 增持—未来 6-12 个月的投资收益率领先市场基准指数 5% 至 15%；
- 中性—未来 6-12 个月的投资收益率与市场基准指数的变动幅度相差 -5% 至 5%；
- 减持—未来 6-12 个月的投资收益率落后市场基准指数 5% 至 15%；
- 卖出—未来 6-12 个月的投资收益率落后市场基准指数 15% 以上；
- 无评级—因无法获取必要的资料，或者公司面临无法预见结果的重大不确定性事件，或者其他原因，致使无法给出明确的投资评级。