证券研究报告
电子/行业深度报告
2025年8月25日

乘“封”破浪：面板级封装的投资新蓝海

证券分析师：唐仁杰 S0370524080002

行业评级：增持

www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

首都机场集团 Capital Airports Holdings
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

摘要

- 2024年，封装市场整体同比增长16%至1055亿美元，其中先进封装市场同比增长20.6%至513亿美元，占比接近50%。根据Yole预测，封装市场整体规模有望在2030年至1609亿美元，其中先进封装规模有望增长至911亿美元，2024-2039年复合增长率达10%。基于高端市场及中低端市场划分，当前中低端市场规模仍主导先进封装市场。但随着生成式AI、边缘计算以及智能驾驶ADAS对性能需求的扩张，预计2029年，高端市场份额将从2023年的8%提升至33%。

- **为何需要先进封装？一则，先进制程摩尔定律的尽头，封装摩尔定律的开始。**摩尔定律实际上是一则商业定律，是指集成的单位面积的晶体管数量上升伴随着单个晶体管价格下降。当晶体管大小微缩至分子，甚至原子大小时，先进制程的代价会导致规模化效应大幅锐减，从而打破了单个晶体管价格下行的规则。那么，如何以更低成本带来更高性能则转向了从系统层面考虑的封装工艺。**二则，随着下游对多样化功能的需求，功能器件之间的交互更加频繁**，水平角度体现在于GPU与VRAM（显存）之间，垂直角度体现在PCB与芯片间的线宽/线距巨大差异。如何以更低成本高效实现芯片间与芯片内部高速互连，提高系统整体性能是驱动封装的核心。

- **为何需要面板级封装？：采用面板级封装（PLP）技术具有更高的成本效益、更强的设计与布局灵活性，以及更优异的热性能和电气性能。**PLP解决方案采用厚铜重布线层（RDL）实现芯片互连，既能支持高电流密度，又彻底消除了对引线框架或基板的需求。2024年传统封装市场规模542亿美元，预计2030年将达到698亿美元，PLP封装可替代空间广阔。此外，除基于封装基板的晶圆级封装外，2024年晶圆级封装市场为21亿美元，FO/2.5D 有机中介层市场18亿美元，预计2030年，WLCSP+2.5D有机中介层封装市场将达到84亿美元。若面板级封装加速渗透，在成本优势下，基于晶圆为工艺平台的WLCSP及2.5D有机中介层封装或将被PLP替代。

- **为何在高端市场基板如此重要？：封装基板的主要用途在于四个方面，传输、散热、保护，功能集成：**1、为IC芯片的信号传输和电源分配提供有效的输入输出路径，且信号损失低；2、提供器件工作时所产生的热量的有效散热路径；3、为器件提供保护，在受到外界机械应力和化学环境腐蚀时，确保器件不受损害或者性能退化；4、提供更大的面积，从而能够放置更多功能芯片。**其中，我们认为对于封装基板及其材料最重要的性质是传输（低损耗），也是持续封装摩尔定律的核心。**为了匹配芯片I/O密度的不断提升（I/O数量更多、节距更精细），以满足移动设备、5G、数据中心、云计算和高性能计算（HPC）等大趋势下的系统需求。这也导致了在芯片间互连分辨率需求向更高密度发展。当前RDL布线线宽/线距需要底部材料可满足10μm之内，甚至2μm。当前来看，即使高端HDI Board也只能实现25/25至50/50μm，无法满足芯片互连需求。此外，信号完整性也是封装基板及材料需要考虑的因素。

- **COWOP？Substrate-Less?：我们认为Chip on Wafer on PCB的实际思路并非是substrate-less（去基板），而是在于模糊了PCB与基板之间的定义。**换句话而言，无论是中介层还是基板、PCB其功能均是芯片间传输、散热、保护，功能集成，若实现COWOP技术，相当于需要将基板的功能转移至PCB，基板的技术、材料或仍然通用。另外，以当前PCB的布线密度和IO密度而言仍然无法实现与中介层的匹配；若要实现COWOP核心是在于寻找能够实现高密度IO的材料，从而使PCB能够匹配硅中介层的L/S、IO Pitch，后续PCB可能走向类基板的定位，传统PCB使用基板材料制备从而实现IC直接封装至PCB之上。从这个角度而言，COWOP与基板并不冲突，基板工艺或运用于PCB之上，使其能够实现高IO需求。

- 相关公司：封装基板及材料公司，联瑞新材（688300.SH）、华正新材（603186.SH）、兴森科技（002436.SZ）、深南电路（002916.SZ）、景旺电子（603228.SH）、生益科技（600183.SH）、南亚新材（688519.SH）；OSATs（封装代工厂商），华天科技（002185.SZ）、华润微（688396.SH）；基板制造设备厂商：大族激光（002008.SZ）、鼎泰高科（301377.SZ）、中钨高新（000657.SZ）。

- **风险提示：技术风险：PLP封装仍处于导入阶段，大Panel的翘曲问题，与硅的热应力问题仍需解决；行业技术变革大，且当前Panel标准仍然不明确；大尺寸Panel需采购新设备，公司前期投入较大。行业风险：AI及算力芯片需求下滑，半导体周期下行。政治、政策不确定性因素及其他宏观因素**

此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

目录

一、先进封装市场概览

二、为何需要先进封装？

三、为何需要面板级封装？

四、为何在高端市场基板如此重要？

五、COWOP取代基板？

六：相关公司

风险提示：

- 技术风险：PLP封装仍处于导入阶段，大Panel的翘曲问题，与硅的热应力问题仍需解决；行业技术变革大，且当前Panel标准仍然不明确；大尺寸Panel需采购新设备，公司前期投入较大。
- 行业风险：AI及算力芯片需求下滑，半导体周期下行
- 政治、政策不确定性因素及其他宏观因素

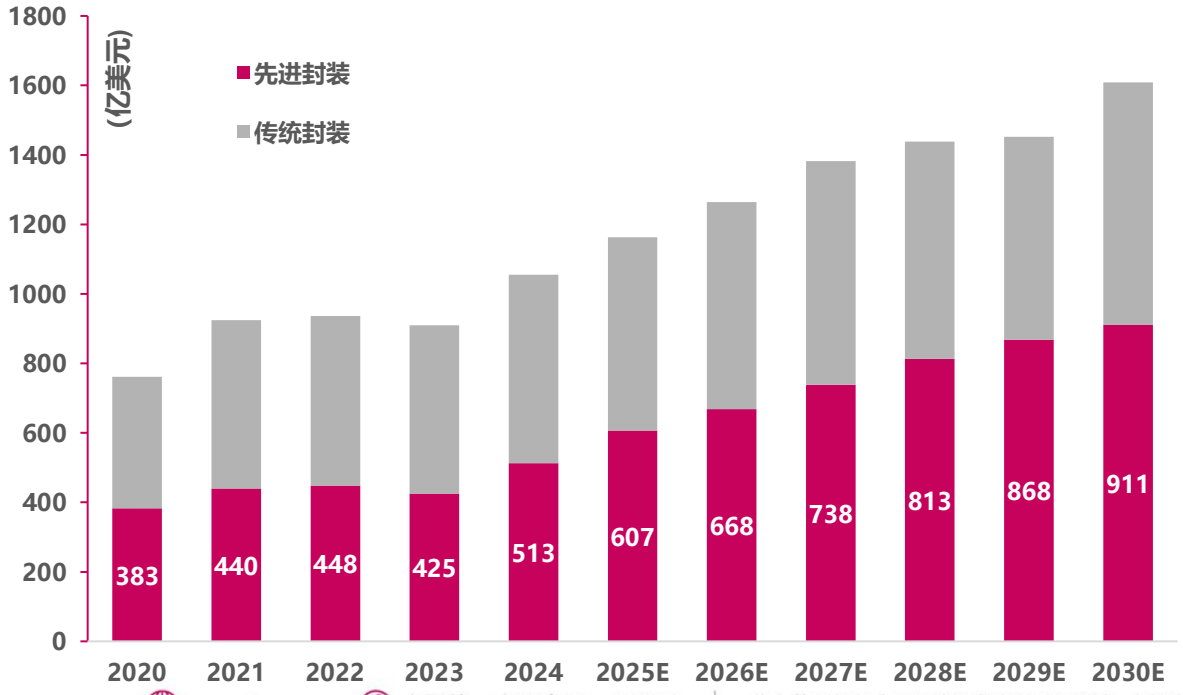
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

先进封装市场概览

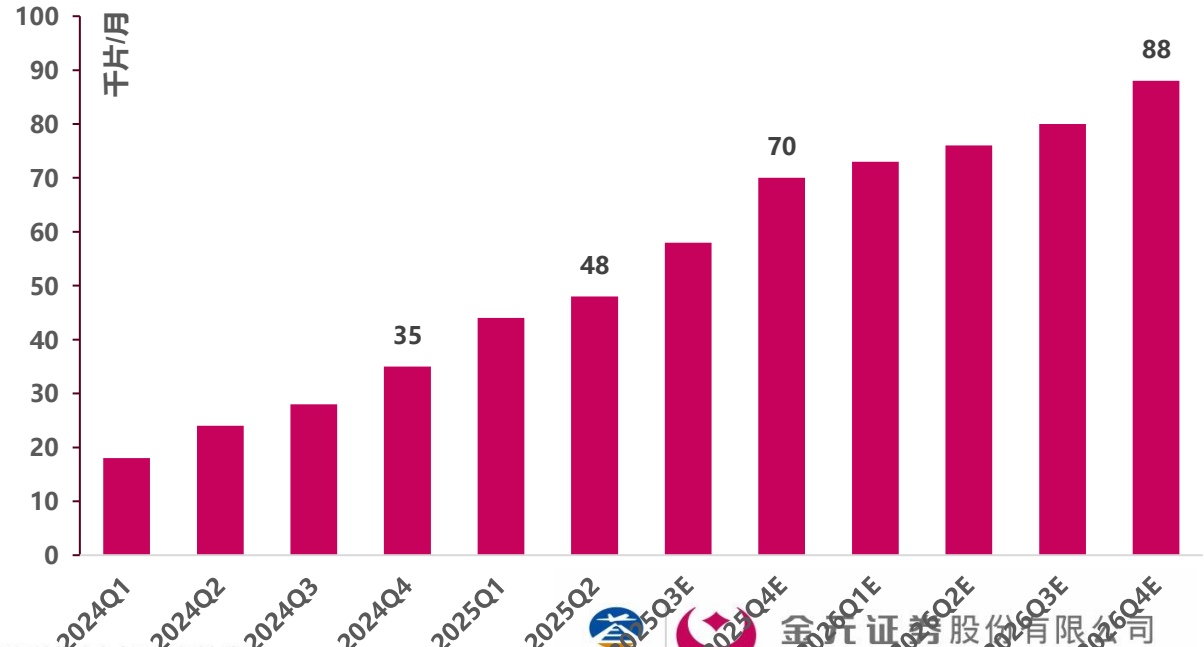
- 2024年半导体市场在生成式AI及数据中心需求推动下显著复苏，同时也得益于智能手机和PC等主要市场的部分复苏以及存储领域的回暖。**2024年，封装市场整体同比增长16%至1055亿美元，其中先进封装市场同比增长20.6%至513亿美元，占比接近50%。根据Yole预测，封装市场整体规模有望在2030年至1609亿美元，其中先进封装规模有望增长至911亿美元，2024-2039年复合增长率达10%。**

- **高端算力芯片驱动先进封装市场。**当前主流高端算力芯片均采用2.5D封装技术，如英伟达B系列及下一代Rubin架构均采用台积电CoWoS-L封装工艺；AMD高端算力卡MI300X、MI355X则采用台积电CoWoS-S封装工艺。2024年Q4台积电CoWoS产能至3.5万片（12英寸）/每月，至2025年Q4，台积电CoWoS月产能将达到7万片/月。

➢ **图表： 封装市场规模**



➢ **图表： 台积电CoWoS封装工艺月产能**



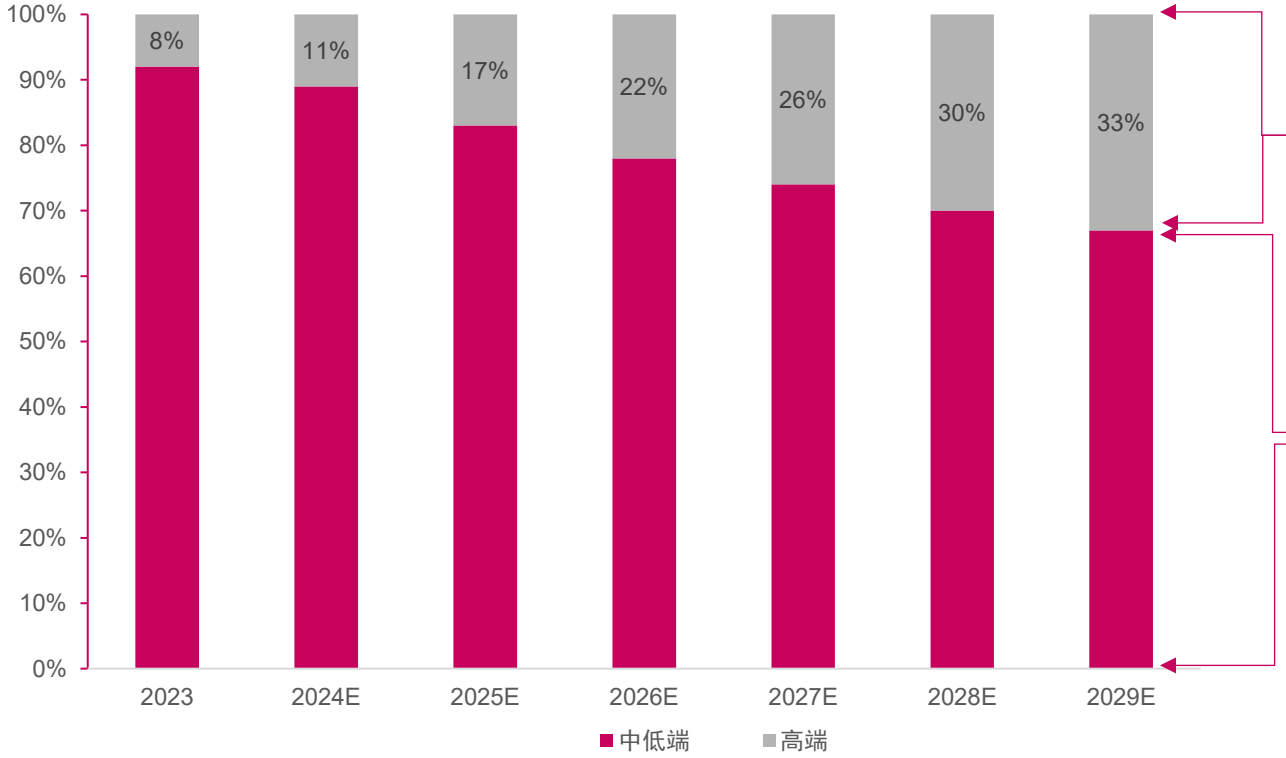
www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

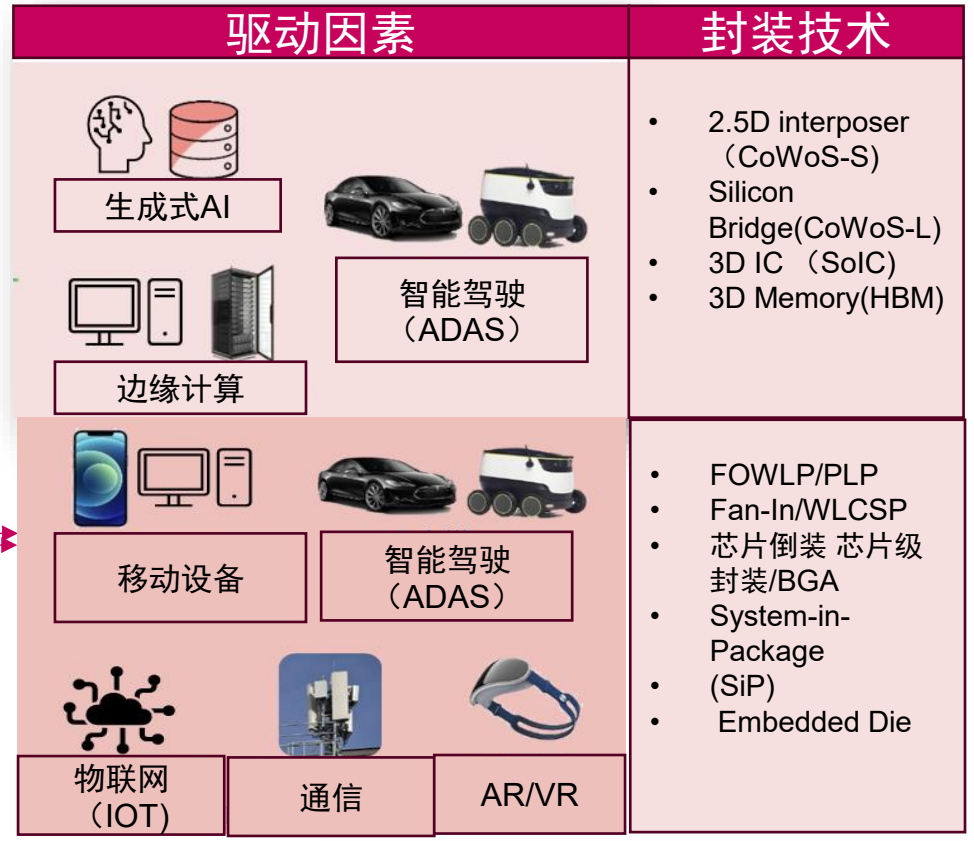
数据来源：Yole，金元证券研究所

先进封装市场概览

- 基于高端市场及中低端市场划分，当前中低端市场规模仍主导先进封装市场。但随着生成式AI、边缘计算以及智能驾驶ADAS对性能需求的扩张，预计2029年，高端市场份额将从2023年的8%提升至33%。

➢ **图表： 高端应用领域封装技术加速渗透**





www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：Yole，金元证券研究所

为何需要先进封装?

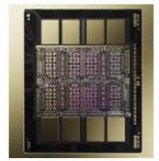
- 摩尔定律决定了单个功能Chip的算力或处理数据能力，通过先进制程缩小Chip内部的颗粒度以提升单个芯片的密度。如果把整个GPU或CPU比作一辆赛车，AI Chip作为赛车的引擎决定了GPU或CPU的潜在速度能力。
- 但是，不同功能和工艺的模块（CPU, GPU, HBM, SiPh, AI Chip等）仍然需要互连工作，而非独立工作。所以，衡量一辆赛车的能力绝非是单纯的引擎参数，而是整车的性能。所以，先进封装及封装材料是提升系统级别整体性能的关键，当前的先进封装已完全渗透至高端算力卡。

图表： 先进封装的重要性

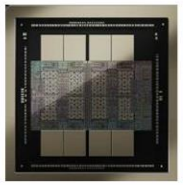
图表： 先进封装已渗透至高端算力芯片

公司	算力芯片	封装工艺
NVIDIA	H100	CoWoS-S
	H200	CoWoS-S
	B200	CoWoS-L
	B300	CoWoS-L
	Rubin	CoWoS-L
amazon	Inferentia	CoWoS-R
	Trainium 2/3	CoWoS-R
BROADCOM	TPU	CoWoS-S
AMD	MI300	CoWoS-S
intel	Gaudi2/3	CoWoS-S

Blackwell Ultra



Rubin



Gaudi 3

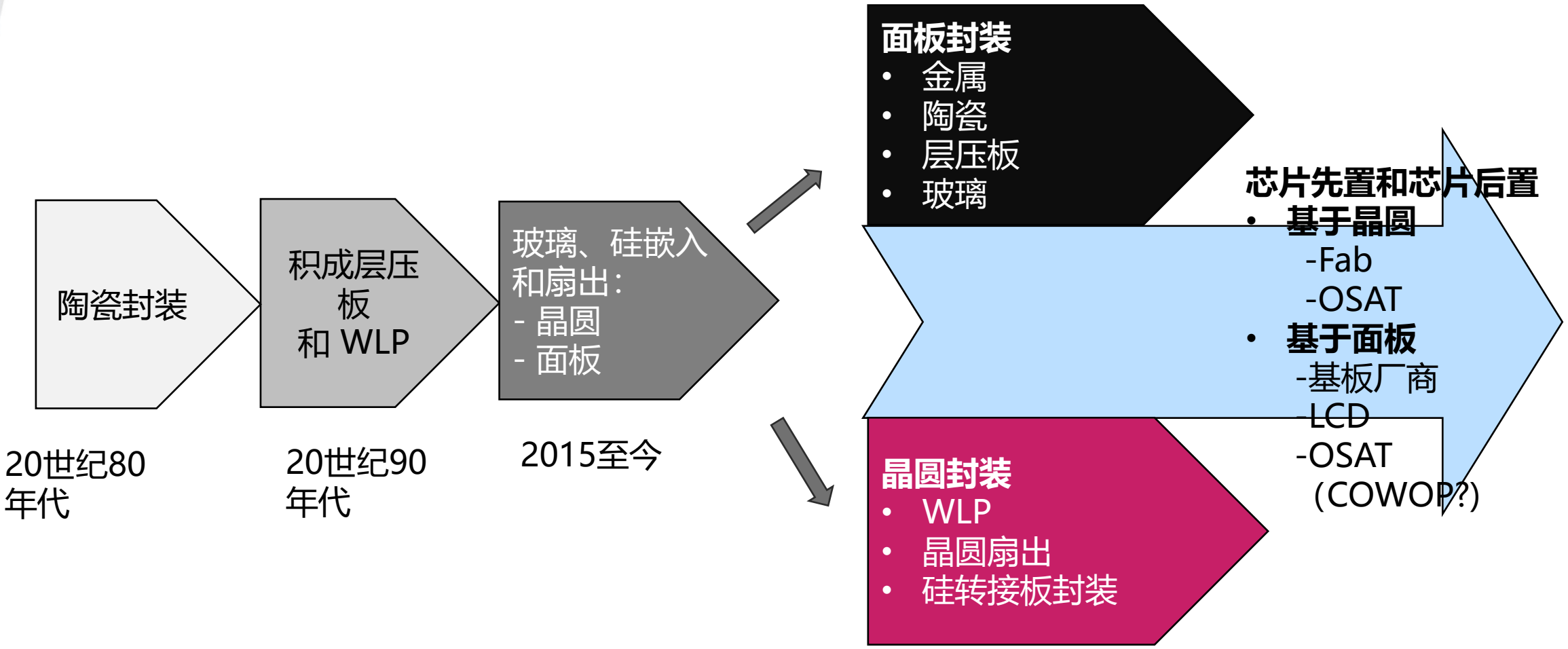
www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：Semi Vision，金元证券研究所

先进封装市场概览

➢ **图表： 封装发展历程**



此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

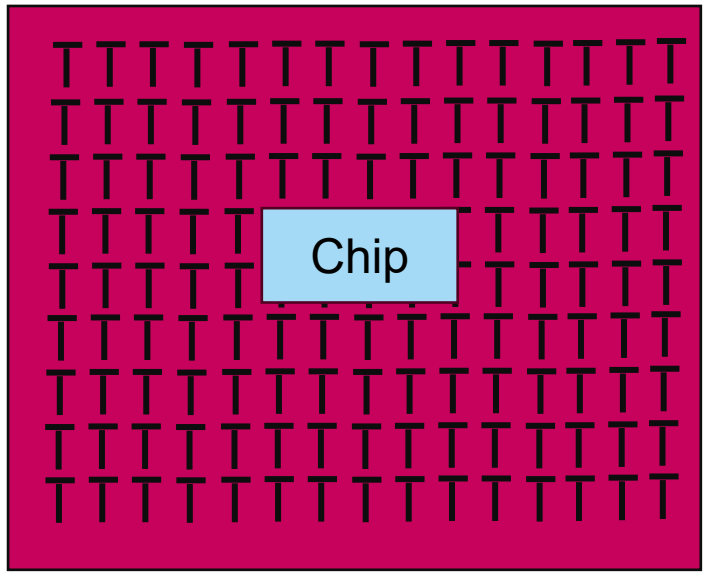
数据来源：金元证券研究所

为何需要先进封装?

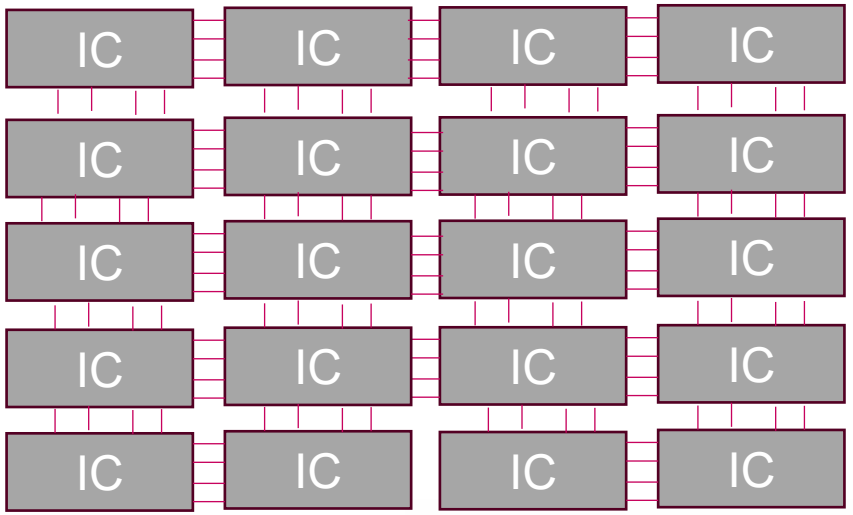
- **驱动封装的是什么？一则，先进制程摩尔定律的尽头，封装摩尔定律的开始。**摩尔定律实际上是一则商业定律，是指集成的单位面积的晶体管数量上升伴随着单个晶体管价格下降。当晶体管大小微缩至分子，甚至原子大小时，先进制程的代价会导致规模化效应大幅锐减，从而打破了单个晶体管价格下行的规则。那么，如何以更低成本带来更高性能则转向了从系统层面考虑的封装工艺。**二则，随着下游对多样化功能的需求，功能器件之间的交互更加频繁**，水平角度体现在于GPU与VRAM（显存）之间，垂直角度体现在PCB与芯片间的线宽/线距巨大差异。**如何以更低成本高效实现芯片间与芯片内部高速互连，提高系统整体性能是驱动封装的核心。**

- **封装的摩尔定律不再于对单个芯片的集成密度的需求，而是在于高输入/输出端口（高I/O），另一个角度体现在凸点间距，越小的间距（L/S）意味着越高的IO密度。**尽管摩尔定律一直只适用于单个IC，但如今这个概念开始体现在了封装领域。20世纪60年代采用的引线键合IO数量仅16个，而当前采用硅转接板的封装技术的IO数量增长至封装面单位平方毫米远大于18个，且线宽/线距微缩至1μm。

➢ 图表： 摩尔定律，集成密度提升，价格下行



➢ 图表： 封装摩尔定律，如何高效实现芯片间高速互连，提高整体性能是驱动封装的核心



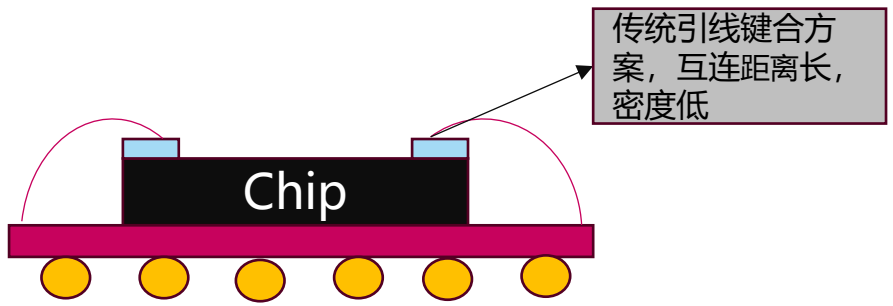
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：金元证券研究所

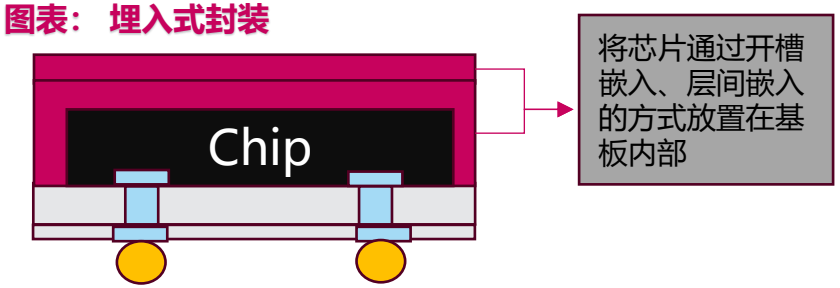
为何需要先进封装?

- **为了提升IO密度，采用扇出工艺和嵌入式封装或两者结合的嵌入式扇出工艺。**扇出或嵌入式的优点则是上文所说的改善互连性能，一则通过芯片倒装到基板（凸点形成I/O端，较引线键合距离短），芯片和基板的互连距离较短。二则通过扇出型工艺（扩大尺寸）可实现更高密度的布线（沉积RDL层），从而匹配更高IO需求。
- 嵌入式封装（embedded）意味着将芯片嵌入基板内，并在芯片上建立RDL布线层，因此也被称为芯片前置（chip first），通过环氧树脂（EMC）将IC塑封到晶圆上，RDL布线直接沉积在重组IC上，因此芯片与封装或电路板之间互连非常短。另外，由于嵌入式封装将芯片嵌入基板且可以通过研磨工艺减薄封装体大小，所以相对而言有更小尺寸。

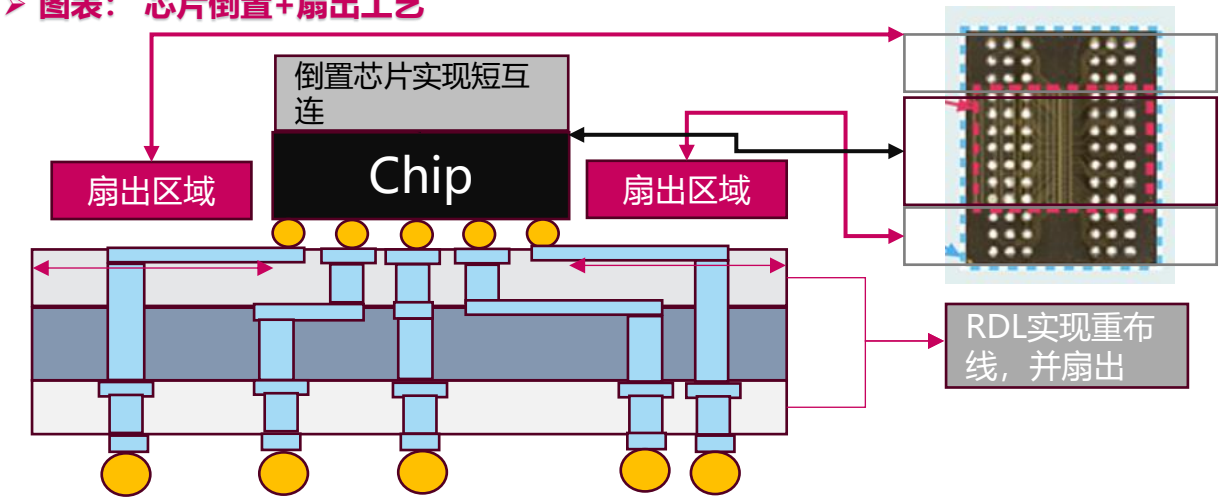
➢ 图表： 引线键合封装



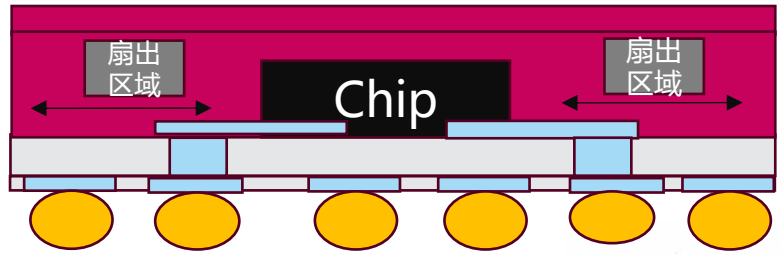
➢ 图表： 埋入式封装



➢ 图表： 芯片倒置+扇出工艺



➢ 图表： 埋入式封装+扇出



www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

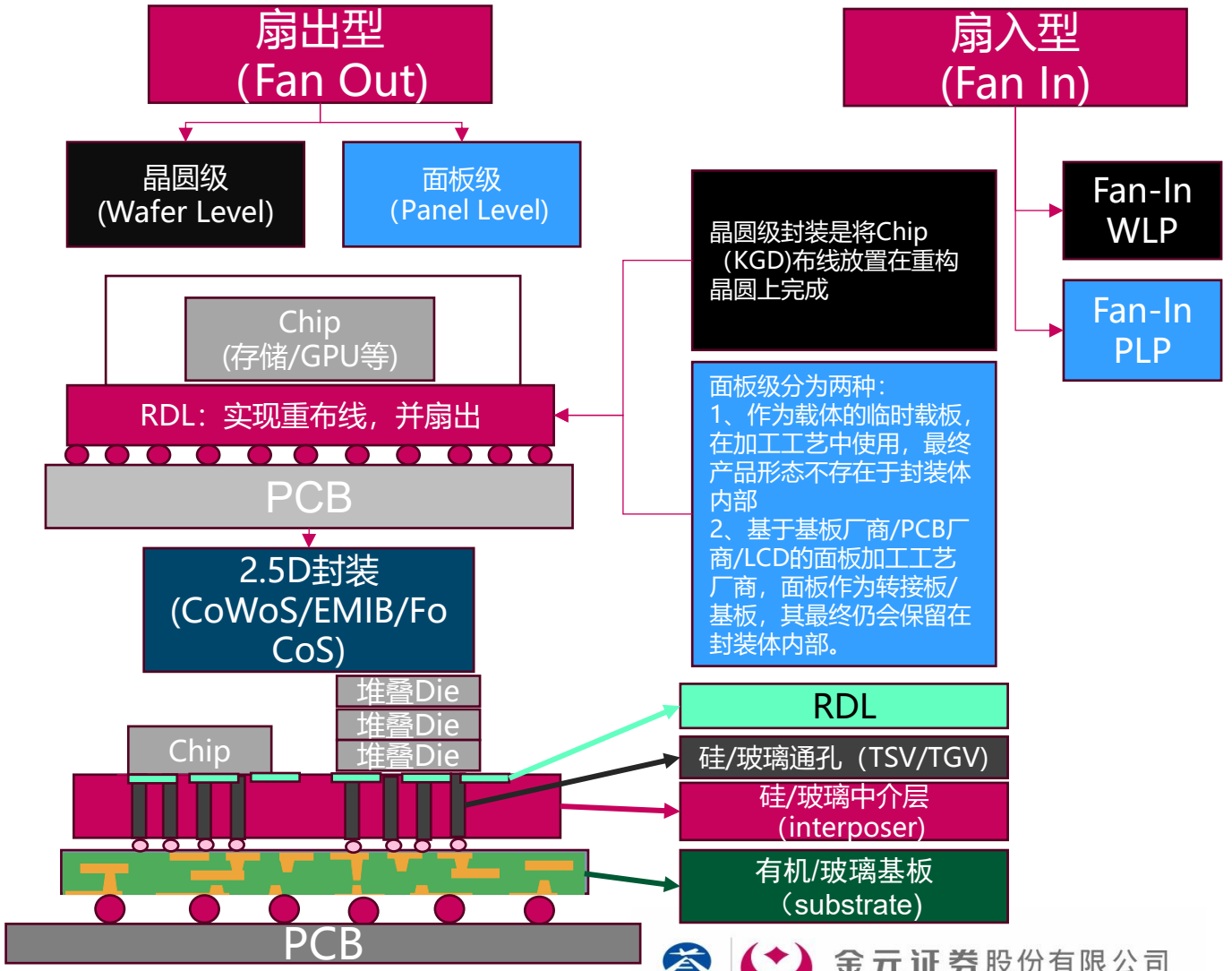
数据来源：SK 海力士，金元证券研究所

为何需要先进封装?

- **先进封装相较于传统封装在集成度、互连密度、互连距离及物理尺寸等角度进一步提升。**先进封装工艺核心在于实现芯片间、芯片与中介层/基板间极其密集的互连。允许多个芯片（同构或异构 - 如CPU、GPU、Memory、RF芯片）在极小空间内紧密协作，形成复杂的系统级功能。例如台积电的CoWoS-R(Chip-on-Wafer-on-Substrate) 使用硅中介层（Silicon Interposer）实现内嵌超精细的再布线层(RDL) 和硅通孔（TSV)。多个芯片（如GPU和HBM）并排放置在中介层上，通过中介层内部的超高密度互连（线宽/间距可<1μm）进行高速通信。中介层再通过凸点连接到更大的封装基板

- **基于封装载体不同，可分为晶圆级（wafer-level）与面板级（panel-level）。**面板级封装亦可细分为作为载体的临时载板在加工工艺中使用，最终产品形态不存在于封装体内部，类比晶圆级封装的晶圆载体；另一种则是基于基板厂商/PCB厂商/LCD的面板加工工艺厂商，面板作为转接板/基板，其最终仍会保留在封装体内部。

➢ **图表： 先进封装-晶圆级封装及面板级封装对比**



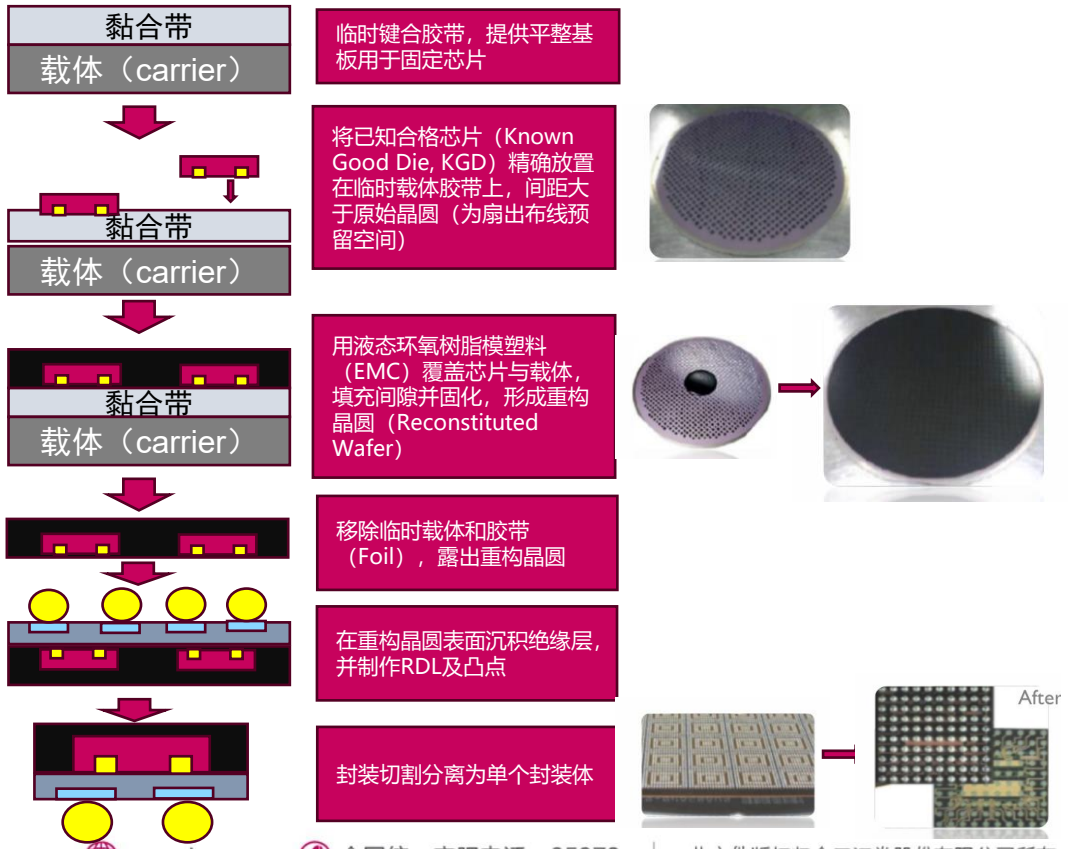
www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：金元证券研究所

为何需要先进封装?

- **晶圆级封装与面板级封装在系统框架上类似。**了解面板级封装前，我们先以晶圆级封装，尤其是扇出型晶圆级封装(FOWLP)为例，了解当前封装技术路线。典型FOWLP工艺起点是从通过将单个器件放置在200mm/300mm载体晶圆上。重组晶圆用环氧模塑成型。模塑扩展了芯片的表面尺寸，所以能够实现更高密度的扇出工艺，放置更多的凸点。移除载体后，将已模塑或重组晶圆翻转，沉积RDL，最后使用模板将焊球放置在RDL布线层，对晶圆上的焊球进行熔合和回流。**可以看出，传统意义上的晶圆级封装无需基板，且多以单个芯片为主。但由于可以在一个载体上实现多个芯片的封装，效率较高。**
- 基于工艺不同，可区分为芯片先置（Chip First）及RDL First。基于器件方向可分为面向上及向下。**相对而言，Chip Last（即先进行RDL布线）具有芯片零偏、应力较小，且可以实现更高密度布线，所以其应用于高端市场。**

➢ 图表： 晶圆级封装工艺流程（芯片先置，Chip First)



➢ 图表： 不同工艺扇出型晶圆级封装

工艺类型	核心流程	关键特性	适用场景
Chip First (Face Down)	1. 载板涂覆 2. 芯片正面朝下放置于载板 3. 环氧树脂塑封 → 固化 4. 剥离移除载板 5. 芯片表面制作RDL布线层 6. RDL上植球 7. 切割单颗封装	✅ 信号路径更短：芯片焊盘→RDL直接连接 ✅ 电气性能更优（寄生效应更低） 🚫 I/O数量受限：无法使用铜柱互联 🚫 散热较差（芯片背面被树脂覆盖）	中低复杂度封装（如射频模块、传感器）
Chip First (Face Up)	1. 载板涂覆 2. 芯片正面朝上放置 3. 环氧树脂塑封 → 固化 4. 芯片表面制作RDL布线层 5. RDL上植球 6. 移除载板 7. 切割单颗封装	✅ 支持高I/O密度：通过铜柱连接RDL ✅ 散热更优：芯片背面裸露 🚫 布线长度略长于Face Down版 🚫 需处理铜柱工艺复杂度	中复杂度封装（如手机APU、基带芯片）
Chip Last	1. 载板涂覆热释放层 2. 先制作RDL布线层 3. 芯片正面朝下绑定到RDL 4. 环氧树脂塑封 → 固化 5. 移除载板 6. 底部RDL植球 7. 切割单颗封装	✅ 芯片零偏移：RDL先行确保对位精度 ✅ 支持超精细布线（线宽/间距更小） ✅ 芯片低应力（后置避开高温制程） 🚫 芯片-RDL需高精度对准	更高端应用领域（如复杂异质集成）

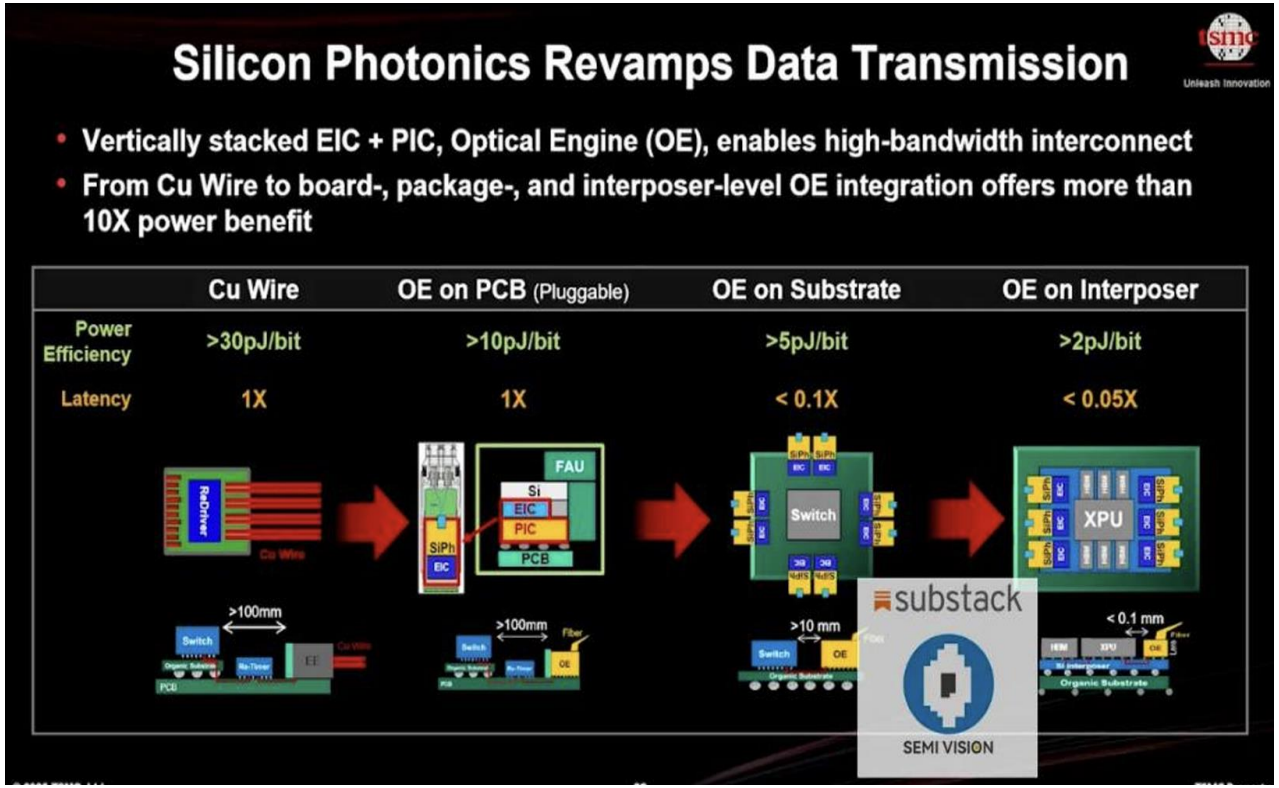
www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
首都机场集团 Capital Airports Holdings 金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：Yole, 金元证券研究所

为何需要先进封装?

- **除了消费级电子及AI算力芯片外，先进封装在光纤领域也至关重要：**
  - **铜线互连阶段：**传统铜互连的能效表现超过 30 pJ/比特，基准延迟为 1X，传输距离超过100毫米。需要增加重定时器(Re-Timer) 芯片来补偿信号损失，这进一步增加了系统功耗和延迟，同时也使整体架构更加复杂。
  - **PCB板载光引擎（光模块）阶段：**通过在PCB板上以模块化方式插入光引擎（EIC + PIC 模块），传输距离保持在100毫米以上，但能效提升至优于10pJ/比特，显著提高了带宽和能效。
  - **基板集成光引擎阶段：**光引擎直接集成在基板（通常指封装基板）上，传输距离缩短至约10毫米左右。能效提升至优于 5 pJ/比特，延迟降低到 0.1X 以下，提供了显著的系统级性能优势。
  - **中介层集成光引擎阶段：**硅光芯片（PIC）和电子集成电路（EIC）垂直堆叠集成到中介层（通常指硅中介层）上，传输距离缩短至 0.1 毫米以下。功耗降至约 2 pJ/比特，延迟降低到 0.05X 以下，实现了超高速的 XPU 间光互连，同时整体系统能效提升了 10 倍以上。

➢ **图表： 先进封装在光纤通信应用（CPO）**



此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：Semi Vision, 金元证券研究所

为何需要面板级封装?

- 面板级封装（PLP）是一种针对当前晶圆级制造的先进封装（包括WLCSP、扇出型封装和2.5D有机中介层）的高性价比解决方案。从系统设计角度，晶圆级封装方案大多数可以在面板级封装完成。除先进封装外，PLP还可替代传统引线框架QFN等封装技术，适用于射频、功率或MCU等小型简单封装应用。
- **在Chiplet和异构集成的推动下，未来半导体封装尺寸将持续增大。**面向服务器和数据中心AI应用的高端封装采用超大尺寸IC基板及各类2.5D中介层。为实现最优性价比的系统性能，集成更多Chiplet和存储器至关重要。**但随着中介层尺寸增加，单晶圆可产芯片数量锐减。**这一趋势推动行业从硅中介层转向有机中介层，并重新评估晶圆级封装范式，逐步采用更大载板平台（如PLP）。对于尺寸达光罩极限5.5倍的大型封装，PLP可将载板面积利用率较晶圆级
- 面向高端高密度（HD）/超高清（UHD）扇出封装，行业需开发可靠成熟的细线工艺（RDL线宽/线距≤10/10μm）。对中介层技术则需突破2/2μm及以下精度以满足高密度芯片互连需求。**此场景优选芯片后置法——因封装所用芯片成本高昂，先在载板上制作并测试RDL结构，再组装芯片，可显著提升良率并降低损失。**
- 另一方面，封装企业正开发基于PLP的替代工艺流程以取代引线框架QFN结构。PLP方案更具成本效益，提供更灵活的设计/布局空间及更优的热/电性能。该技术采用厚铜RDL镀层实现芯片互连，支持高电流密度，完全省去引线框架或基板，对PMIC、功率IC、功率模块和模拟IC等低引脚数器件极具吸引力。此类应用优选芯片前置法以降低制造成本。

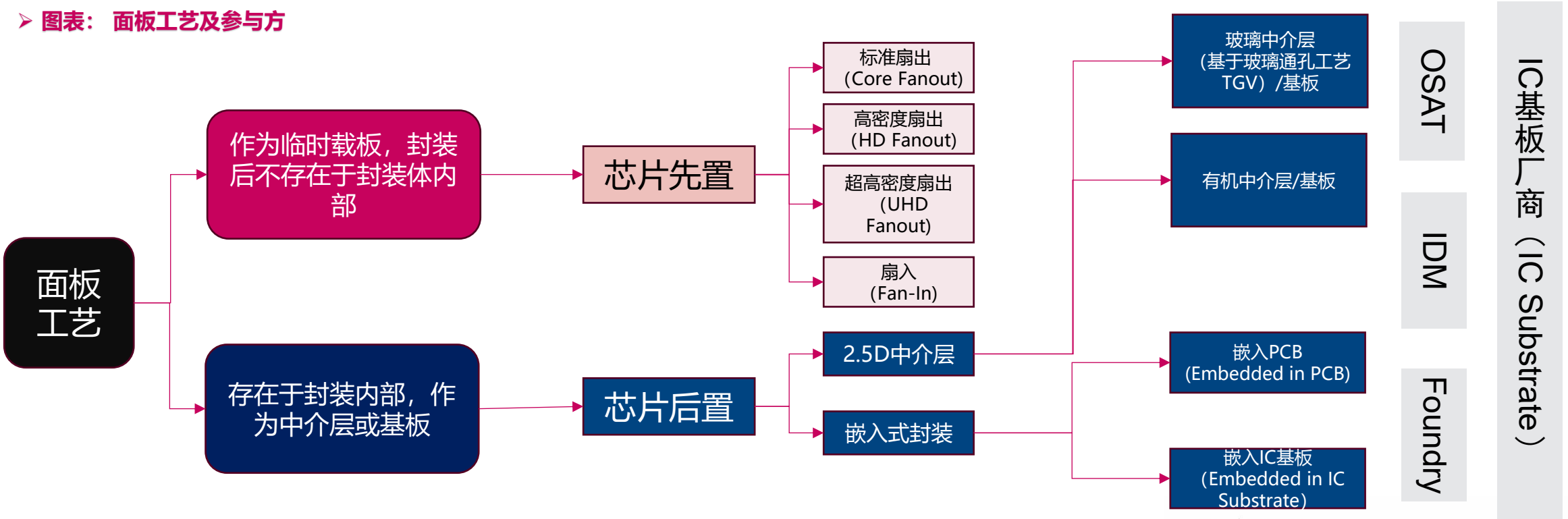
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：金元证券研究所

为何需要面板级封装?

- 面板级封装（PLP）是指任何在制造过程中采用矩形面板作为载板的半导体封装技术，一种是封装工艺中类比WLP的晶圆载体，面板级封装则以更大尺寸的Panel作为工艺平台，作为临时载板在封装工艺中使用。
- 除此外，面板级工艺可推广至PCB及有机/玻璃基板供应商、液晶面板供应商提供的有机/玻璃基板在封装中使用。其包括作为中介层、基板，亦或是将芯片埋入基板的嵌入式封装工艺（embedded）。

图表： 面板工艺及参与方



www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：金元证券研究所

为何需要面板级封装?

LCD厂商

- 康宁（美国）
- 诚美材料（中国大陆）
- 京东方（中国大陆）
- 夏普（日本）
- 群创光电（中国台湾）
- 华宏新技（中国台湾）
- 友达光电（中国台湾）
- 肖特（德国）
- 旭硝子（日本）

FOPLP

- 佛智芯微（中国大陆）
- 矽迈微电子（中国大陆）
- 奕成科技（中国大陆）

IC基板厂商

埋入式

- 天芯互联（中国大陆）
- 欣兴电子（中国台湾）
- SHINKO（日本）
- 日月光（中国台湾）
- 三星(韩国)
- 恒劲科技（中国台湾）
- 珠海越亚（中国大陆）
- SCHWEIZER Electronic（德国）
- AT&S（奥地利）

玻璃基板厂商

- 佛智芯微（中国大陆）
- 英特尔（美国）
- E&R（中国台湾）
- 康宁（美国）
- 京东方（中国大陆）
- 旭硝子（日本）
- Absolics（SKC子公司）（美国）
- 亚智科技（中国台湾）
- 肖特（德国）
- YES（美国）
- LG Innotek（韩国）
- DNP（日本）

PLP主要“玩家”：

- **LCD厂商：** 实现业务多元化，并把握PLP和玻璃基板机遇。其专有技术包括大型玻璃面板处理、薄膜加工、光电子学及LCD材料。侧重于FOPLP、玻璃芯基板/中介层、TGV制造工艺。
- **基板厂商（包括埋入式及玻璃/有机基板）**：布局PLP封装及基板应用。在有机基板领域，有大型面板处理技术、芯片埋入基板工艺以及先进线路工艺（mSAP（改良型半加成法）/ SAP（半加成法））。基板厂商通过布局“有机+玻璃”双技术路线，进入封装市场
- OSAT厂商：降本增效，通过更大面积面板实现更高产能。

此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：金元证券研究所

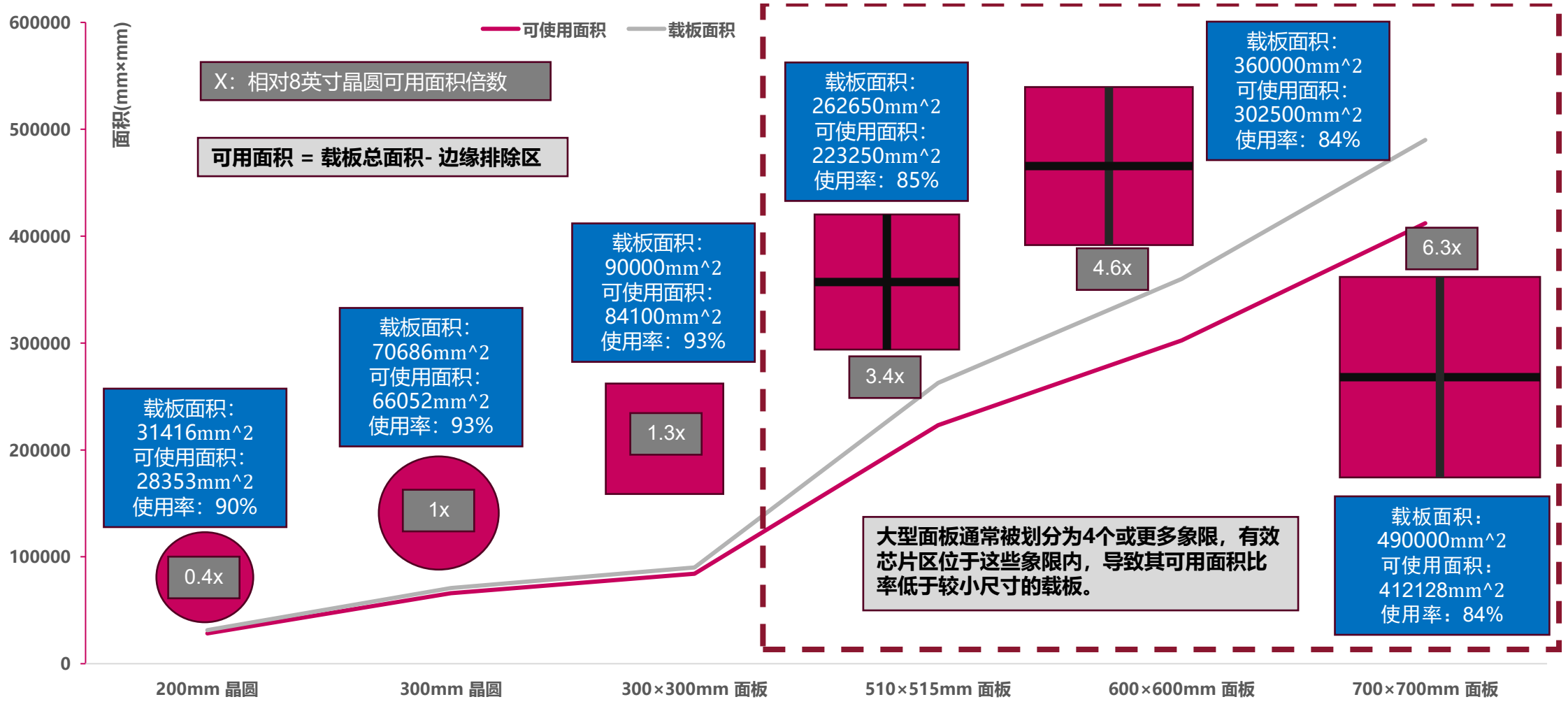
为何需要面板级封装?

降低成本与面积效率	• PLP中的大面积承载板允许同时处理更多晶片，从而促进成本节约，使其成为大批量产品制造的更优解决方案。 • 面板的矩形形状提供了更高的面积效率，尤其对于较大封装尺寸而言。在这些尺寸下，边缘禁区（即生产无法使用的区域）会变得非常大。因此，PLP能减少材料浪费。 • 由于面积利用率更高，PLP在批量型工艺（如溅镀、涂覆、曝光、显影、蚀刻和电镀）上成本更低，同时还能提高设备生产率。 • 300mm以上的晶圆生产已完全不具备生产效力
可扩展性与灵活性	• PLP提供了处理不同材料和尺寸面板的灵活性，可以潜在地提高生产率并在大批量制造中实现较低的运营成本。 • PLP制造商一直在使用不同尺寸的面板，所有尺寸都比300mm晶圆提供更大的有效面积。尽管使用不同尺寸的面板导致了设备和工艺缺乏标准化，但这恰恰说明了该技术的高度可扩展性。
借鉴其他基板工艺的适应性	• PLP可以从其他基于面板的制造技术（如PCB和IC载板、LCD以及太阳能行业）的知识经验中获益。 • PLP参与者可以重新利用已有的设备、材料、基础设施和工艺，从而潜在地降低投资并加速开发周期。促使WLP参与者复用来自其他供应链的基于面板的设备和材料，同时也引导了其他参与者（如IC载板制造商和LCD供应商）进入PLP生态系统。

此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：金元证券研究所

为何需要面板级封装?



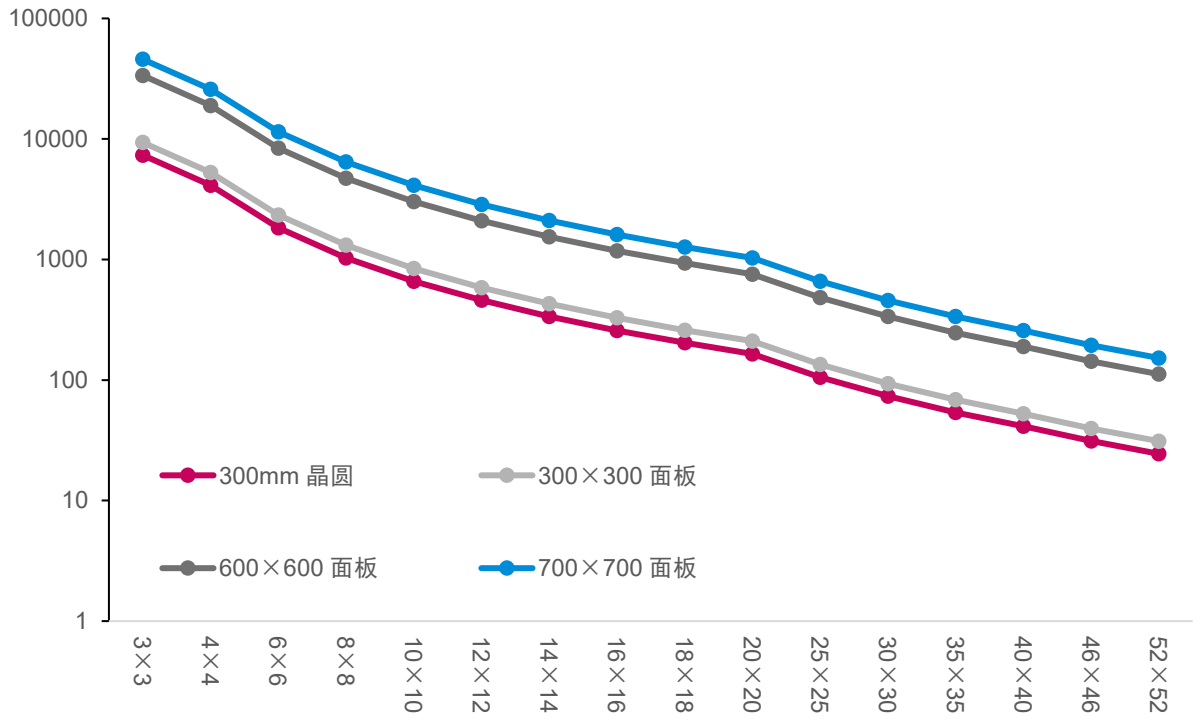
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：Yole，金元证券研究所

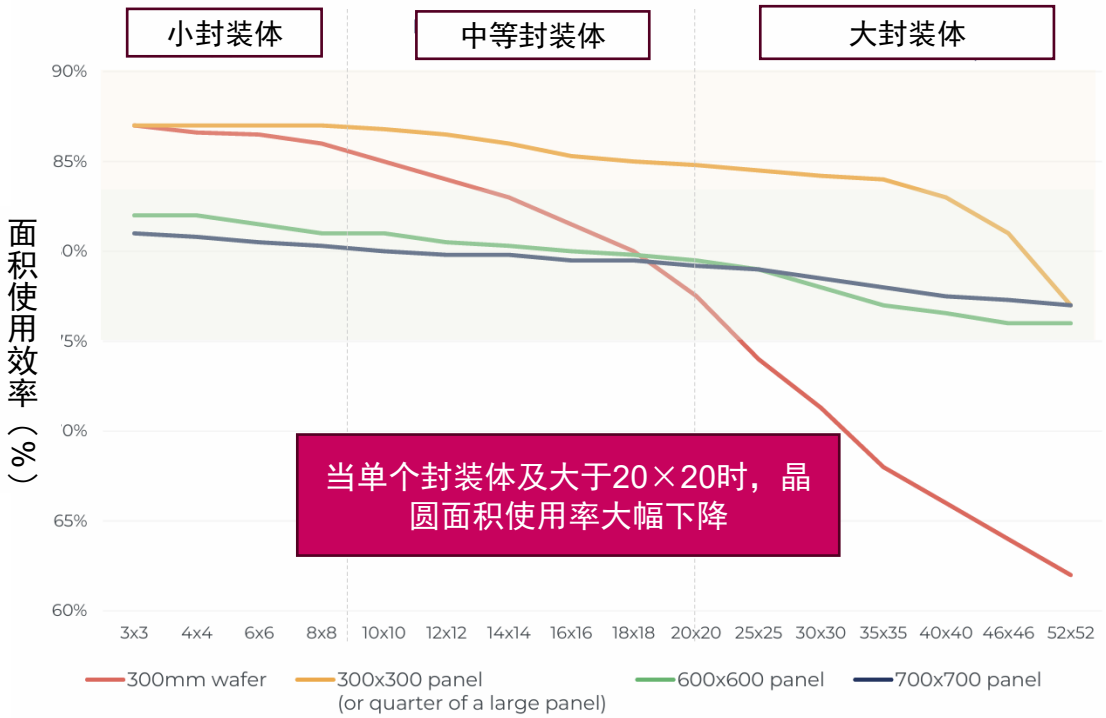
为何需要面板级封装?

- 从300mm（12英寸）晶圆切换至300×300mm²面板，可用面积扩大1.3倍，封装效率大幅提升。
- 此外，当单个封装体积增大至20×20 mm²时，晶圆面积使用率骤降（边缘无法使用）。

➢ 图表： 不同封装载板面积、不同封装体大小的封装个数



➢ 图表：封装体积增大导致晶圆有效使用面积大幅骤减



www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
首都机场集团 Capital Airports Holdings
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：Yole，金元证券研究所

为何需要面板级封装?

➢ **图表：面板工艺平台可降低晶圆工艺平台成本**

类别		晶圆 300mm	小面板300x300mm²	大面板 600x600mm²
载体面积 / 可使用面积 (mm²)		70,686 / 66,052	90,000 / 84,100	360,000 / 302,500
晶圆（300mm)vs面板（可使用面积倍数）		x1	x1.3 - x1.6	x5.6 - x5.9
平均良率(%)	标准密度FO/FI	≥99%	97%	97%
	高密度FO/FI	98%	96%	94%
	超高密度FO/FI	95%	93%	91%
成本节省（相对300mm晶圆%）	标准密度FO/FI	0%	13%	28%
	高密度FO/FI	0%	13%	25%
	超高密度FO/FI	0%	10%	22%
设备资本投入		$	$$	$$$
对晶圆制造设备/工艺的适配性		-	较少新设备投入	需要较多新设备及新工艺
分辨率/线宽-线距（L/S)		高 最小： L/S ~2/2μm – 1/1μm	中/高 最小： L/S ~5/5μm 可扩展至： 2/2μm	中/低 • 大多数大面板尺寸的生产计划用于 L/S >15/15μm • 5/5μm 已通过验证并投入生产 • 2/2μm - 预计良率较低
最佳应用场景		• 小封装尺寸 • 小批量生产 • 需要高分辨率且成本敏感度较低的高端应用	• 中小型至大型封装尺寸 • 小批量至大批量生产 • 需要高分辨率的高端应用	• 适用于大批量应用的小封装尺寸 • 可采用较低分辨率的更成熟技术 • 大型封装尺寸 • 待该技术成熟后的高端应用

此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

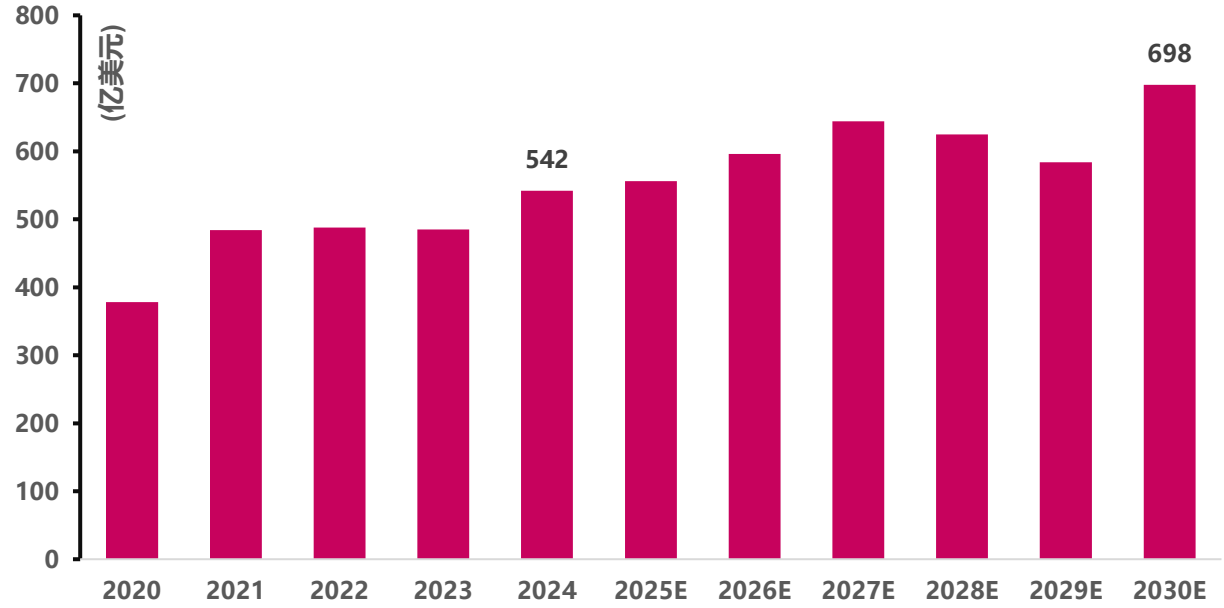
数据来源：Yole, 金元证券研究所

为何需要面板级封装?

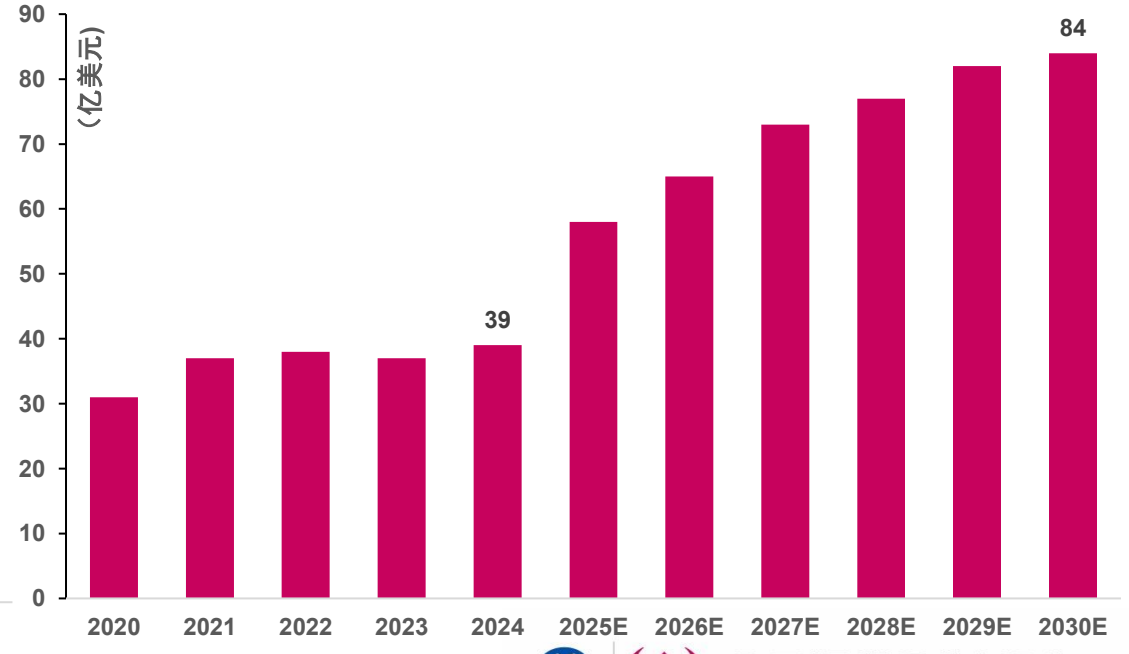
- **我们认为无基板的PLP的成本优势能够逐步替代传统引线框架QFN封装结构以及WLP市场份额。**采用面板级封装（PLP）技术具有更高的成本效益、更强的设计与布局灵活性，以及更优异的热性能和电气性能。PLP解决方案采用厚铜重布线层（RDL）实现芯片互连，既能支持高电流密度，又彻底消除了对引线框架或基板的需求。因此，该技术对电源管理芯片（PMIC）、其他功率IC、功率模块和模拟IC等低引脚数器件极具吸引力。在此类应用中，优先采用芯片先贴（chip-first）工艺以实现更低成本的制造流程。2024年

- 此外，除基于封装基板的晶圆级封装外，2024年晶圆级封装市场为21亿美元，FO/2.5D 有机中介层市场18亿美元，预计2030年，WLCSP+2.5D有机中介层封装市场将达到84亿美元。若面板级封装加速渗透，在成本优势下，基于晶圆为工艺平台的WLCSP及2.5D有机中介层封装或将被PLP替代。

➢ 图表： 成本优势下，PLP可取代传统封装市场规模



➢ 图表： PLP或可取代部分晶圆级封装及2.5D有机中介层市场



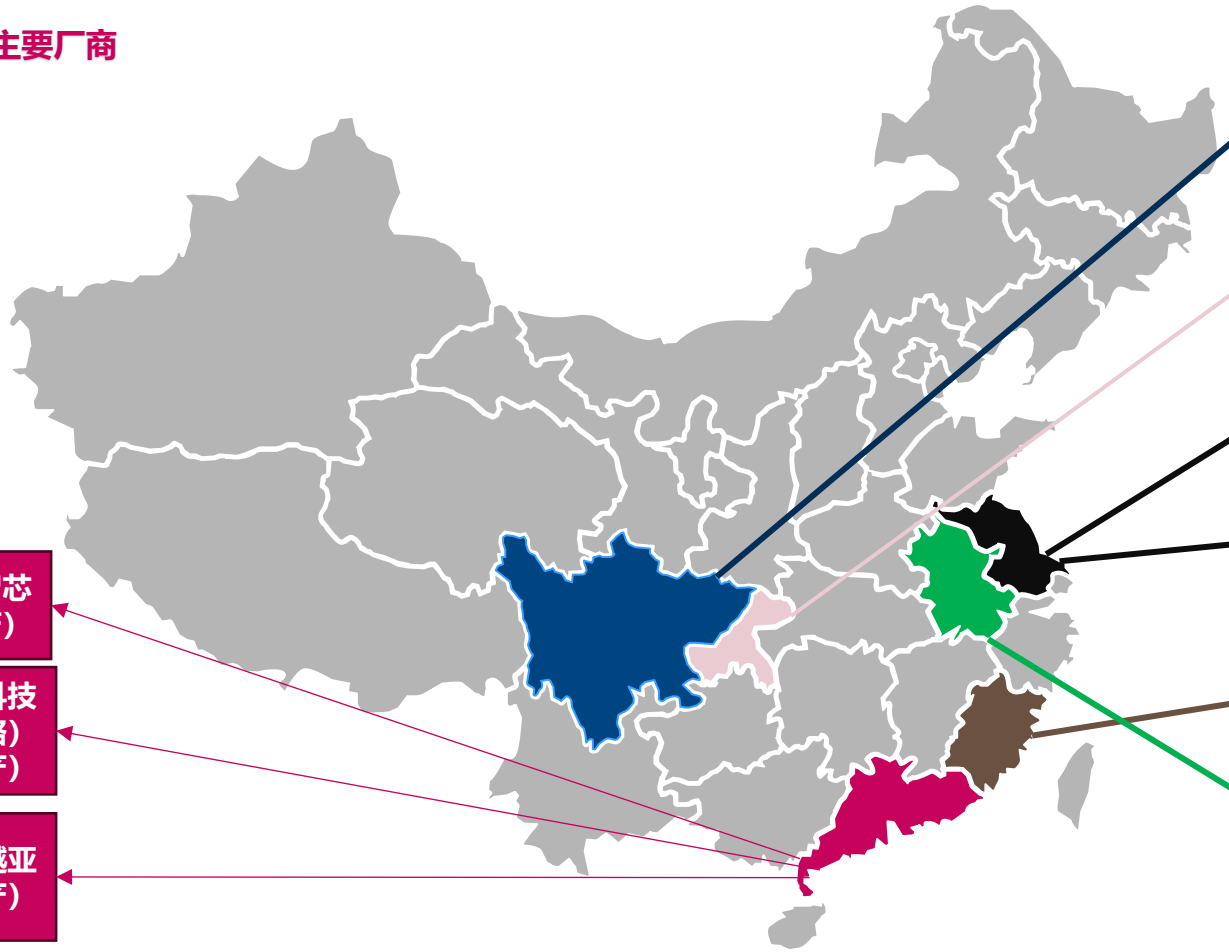
www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：Yole, 金元证券研究所

为何需要面板级封装?

- 我国企业积极布局PLP封装领域，其中成都奕成科技、华润微电子已实现510×515mm大尺寸方形封装量产，其他厂商如华天科技、深南电路、矽迈微等已有布局。其中，深南电路、珠海越亚为IC基板/PCB厂商入局PLP封装领域。奕成科技、华天科技、珠海越亚、深南电路目标市场为xPU、Chiplets，而华润微、矽迈微、四合微、佛智芯则主要面向功率IC、模拟Mos等应用场景

➢ **图表： 中国PLP封装主要厂商**



成都奕成科技（已实现量产）

重庆华润微电子（已实现量产）

江苏盘古半导体（华天科技）（通过验证）

苏州亿麦矽（小批量生产）

厦门四合微（小批量生产）

合肥矽迈微电子（小批量生产）

广东佛智芯（小批量生产）

天芯互联科技（深南电路）（小批量生产）

珠海越亚（小批量生产）

www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

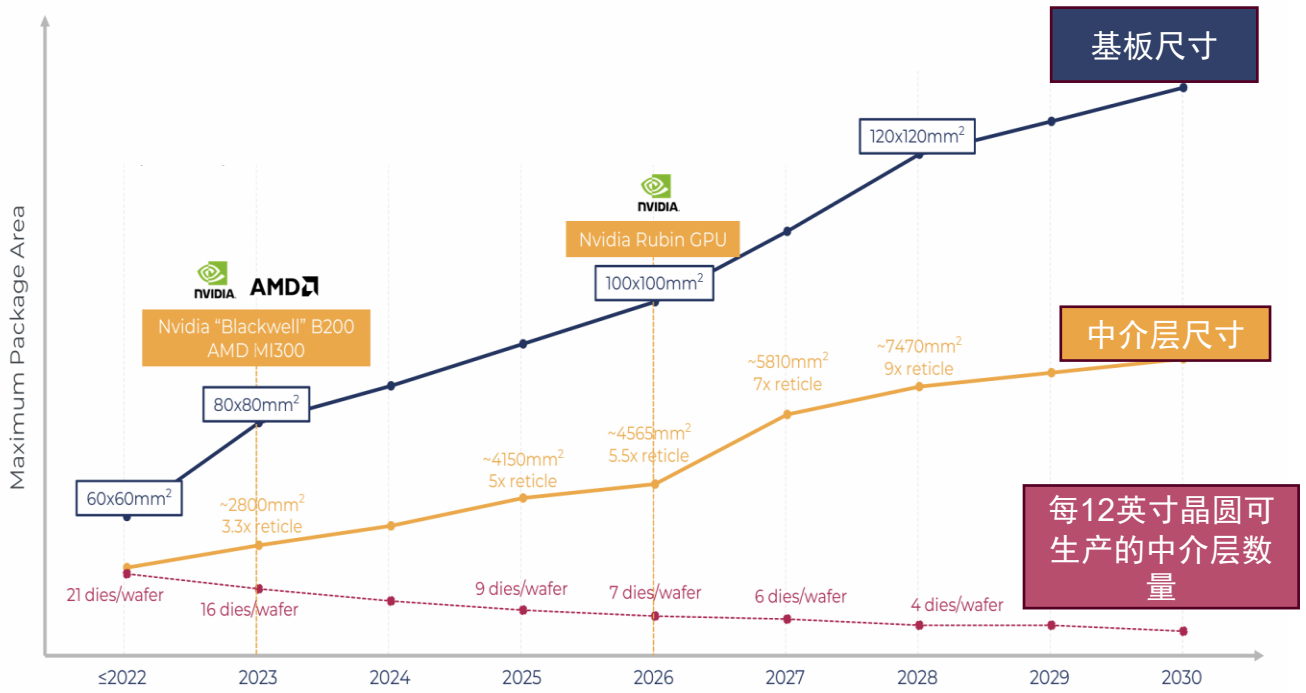
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：金元证券研究所

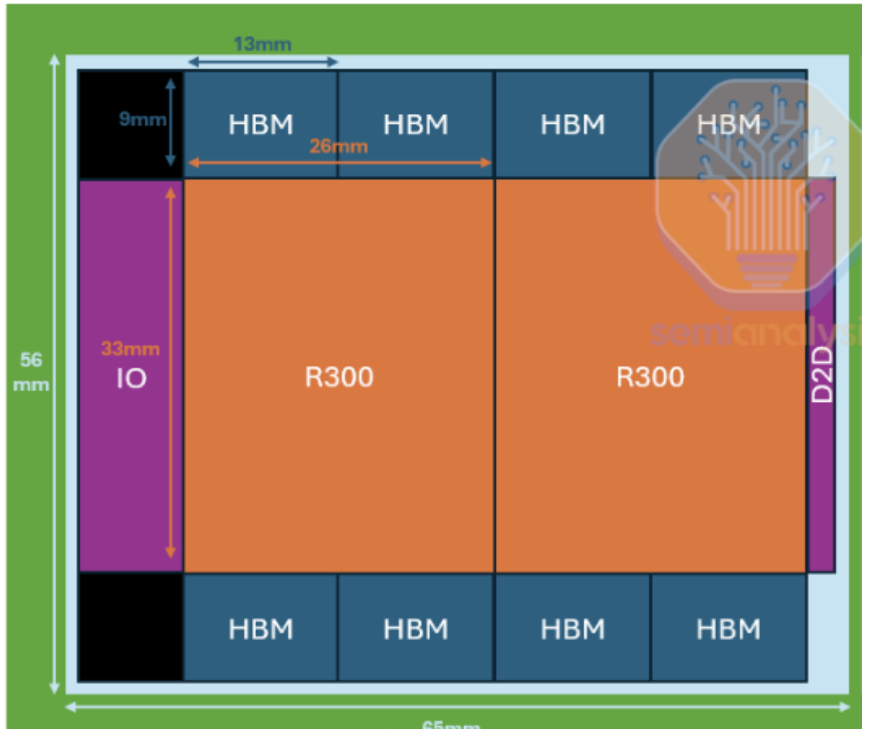
为何需要面板级封装?

- **Chiplets及异质集成技术驱动下，封装尺寸增大。**目前，用于服务器和数据中心及人工智能应用的大尺寸封装，其集成IC基板和2.5D中介层。为了以最高成本效益实现预期系统性能，随着中介层尺寸的增大，以晶圆为封装在的生产能力及芯片数量将会大幅减少。
- 无论是IC基板厂商还是封装厂商急需大尺寸面板封装工艺及IC基板、中介层加工工艺以适应当前单个封装体尺寸的增长。

➢ **图表： AI数据中心对中介层及基板尺寸需求持续增长，晶圆尺寸生产能力大幅下降**



➢ **图表： 下一代Rubin 架构封装体积继续增大**



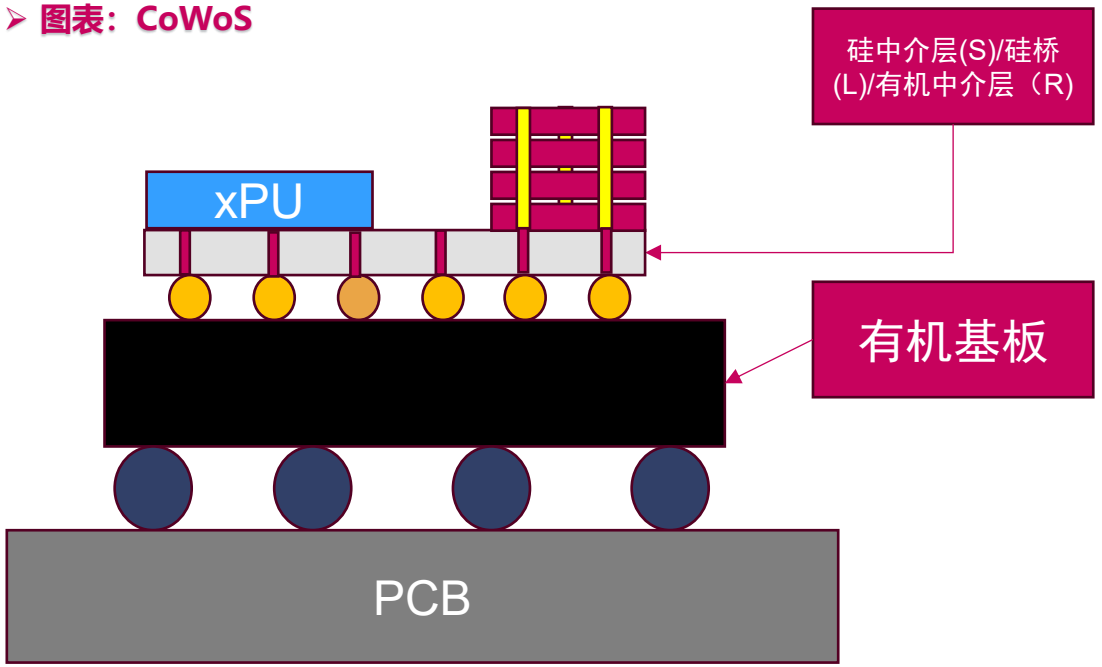
www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：Yole, Semi Analysis, 金元证券研究所

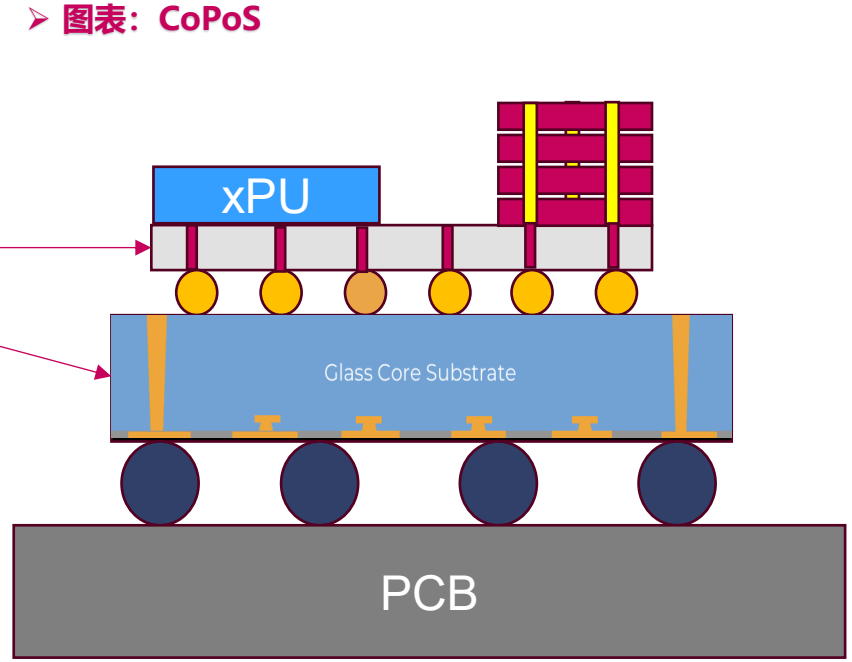
为何需要面板级封装?

- **为了适应当前AI及数据中心高性能需求，单芯片封装转向以Chiplets及异质集成路线，而封装正是解决不同芯粒之间的互连问题。**封装需要确保更短的信号传输路径以实现芯片间高速通信及信号损失，并且提供高效的供电及热管理能力，这些诉求正是基于中介层的2.5D封装的核心。
- **当前AI算力芯片以晶圆为工艺平台的2.5D封装为主，例如台积电的CoWoS-R、CoWoS-L及CoWoS-L。**虽然三者在中介层使用不同的工艺，但整体架构一致。除了以晶圆为工艺平台的CoWoS外，台积电同样开发了以面板为工艺平台的CoPoS。**我们认为，其优势在于有更大的面积及使用率，从而能够适应未来更大interposer及基板的需求，以及提升产能。**

➢ 图表：CoWoS



➢ 图表：CoPoS



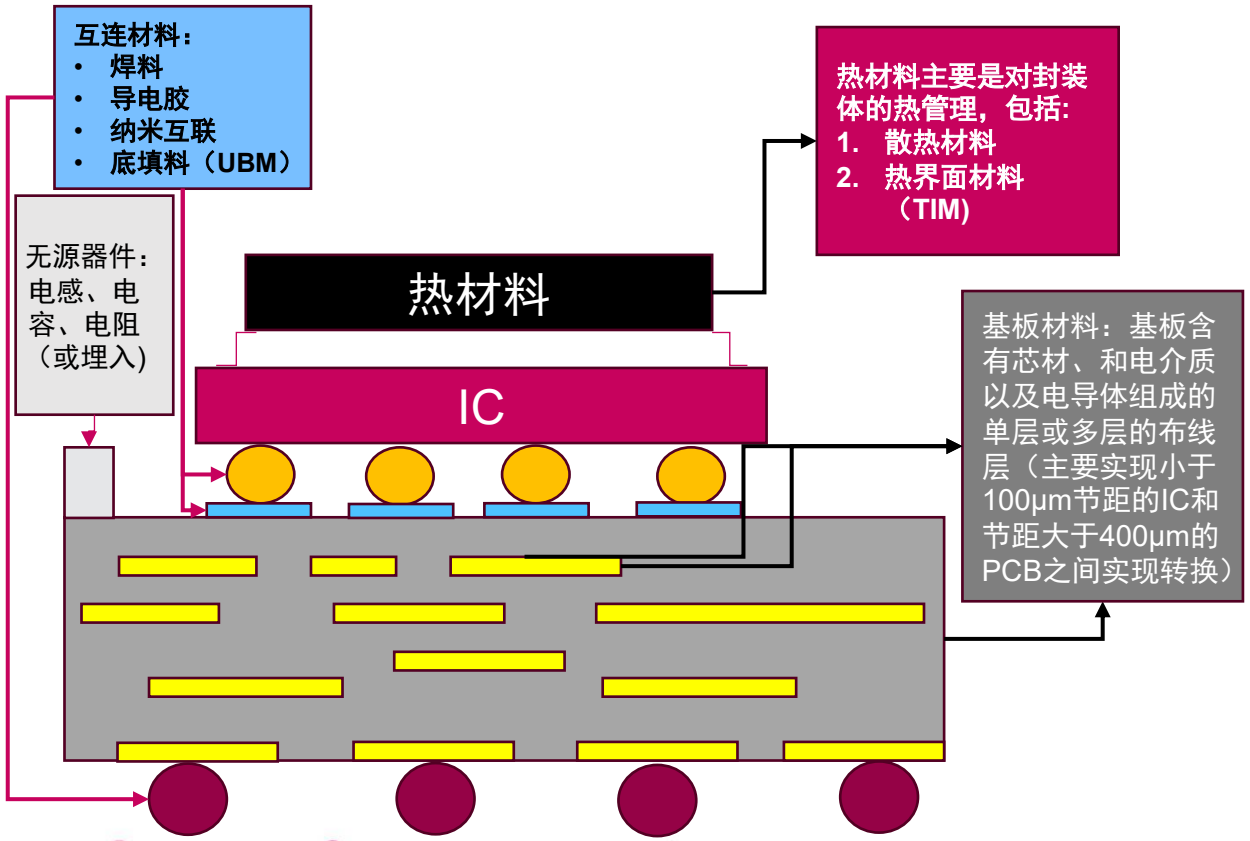
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：金元证券研究所

为何在高端市场基板如此重要?

- **考虑到封装尺寸的迅速增长及高性能需求，我们认为，无论是基于面板的2.5D封装还是基于晶圆的2.5D封装，基板的重要性均处于较高位置。**封装技术囊括包封材料和工艺、组装材料和工艺、互连材料和工艺、基板材料和工艺、无源元件材料和工艺及基础热学、力学、电子学等。其中，材料构成了电子系统的核心。
- **在封装工艺中，基板材料（包括芯层）、介电材料、电容材料、电感材料、电阻材料均至关重要，影响封装体的布线密度、信号和电源分配以及可靠性等参数。**

➢ **图表： 封装材料结构**



➢ **图表： 封装材料关键参数及材料**

功能	要求的关键参数	使用的材料
基板（芯材）	**高电阻率** **低介电常数** 高尺寸稳定性 **良好的热导率** **与硅相匹配的CTE**	玻璃、硅 有机复合材料，如FR-4
介电材料	**低介电常数** 低损耗角正切	氟聚合物 环氧基聚合物
导体材料	低电阻	铜、钨
互连材料	**高电导率** 高热导率 低工艺温度	共晶焊料，如Sn-Ag,Sn-Pb 纳米银浆料
低填料和包封料	**低收缩率和低CTE** 合适的模量 **低固化温度** 良好的附着力	含填料的环氧基材料
热界面材料	高热导率 对基板及芯片有良好的附着力	相变材料 填银环氧树脂

www.jyzq.cn 全国统一客服电话：95372 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
首都机场集团 Capital Airports Holdings 金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：《器件和系统封装技术和应用》，金元证券研究所

为何在高端市场基板如此重要?

- 封装基板包含有一个或者多个导体布线层以及绝缘层，布线层和绝缘层通常通过薄膜或者厚膜工艺制造而成。包含有布线结构的基板可以通过多种方式与有源芯片链接，例如铜丝键合或者焊料（Cu柱）。
- **封装基板的主要用途在于四个方面，传输、散热、保护，功能集成**：1、为IC芯片的信号传输和电源分配提供有效的输入输出路径，且信号损失低；2、提供器件工作时所产生的热量的有效散热路径；3、为器件提供保护，在受到外界机械应力和化学环境腐蚀时，确保器件不受损害或者性能退化；4、提供更大的面积，从而能够放置更多功能芯片。
- **其中，我们认为对于封装基板及其材料最重要的性质是传输（低损耗），也是持续封装摩尔定律的核心。**为了匹配芯片I/O密度的不断提升（I/O数量更多、节距更精细），以满足移动设备、5G、数据中心、云计算和高性能计算（HPC）等大趋势下的系统需求。这也导致了在芯片间互连分辨率需求向更高密度发展。当前RDL布线线宽/线距需要底部材料可满足10μm之内，甚至2μm。当前来看，即使高端HDI Board也只能实现25/25至50/50μm，无法满足芯片互连需求。**此外，信号完整性也是封装基板及材料需要考虑的因素。**

➢ **图表：基板的主要驱动因素**

电气性能	更高的互连分辨率与I/O密度	更精细的线宽/线距(L/S)、节距(Pitch)和过孔(via)缩放。这是提升集成度和性能的基础
尺寸控制	面积与高度的控制	覆盖更广泛的尺寸范围。这意味着封装既能支持大型多芯片集成，也能满足轻薄设备对封装高度的严苛要求。
热管理	高效散热	为高性能芯片提供更好的冷却方案。随着芯片功耗激增，有效的热管理已成为确保系统稳定性和可靠性的关键
功能集成	在单一封装中集成更多芯片	通过垂直堆叠(3D)和并排放置(2.5D)等多种方式实现异质集成，将不同工艺、功能的芯片整合为一个系统。
电力输送	高效的电力输送	实现更低的功耗。通过优化电源分配网络，减少传输损耗，以满足高性能计算对巨大且稳定电源的需求。
信号完整性	减少信号路径长度	降低寄生效应。更短的互连和更优的设计可以减小信号延迟和失真，这对于高速信号传输至关重要。

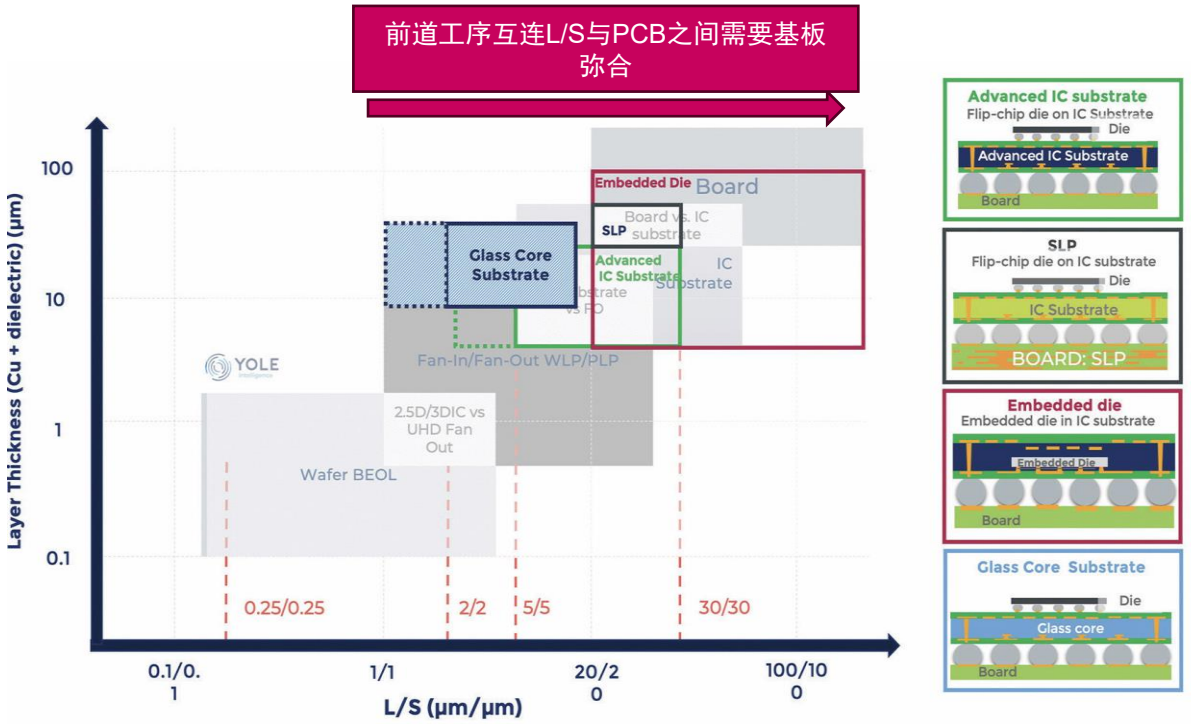
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：金元证券研究所

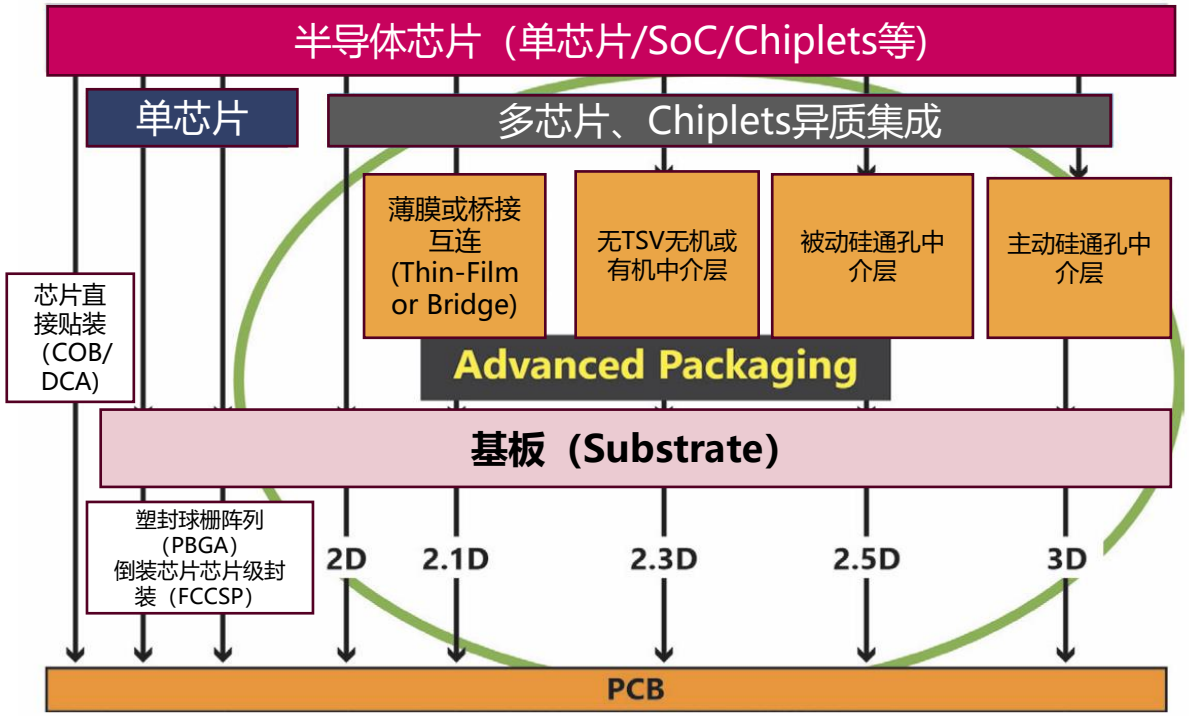
为何在高端市场基板如此重要?

- **高端封装市场，中介层/基板无可取代。**异质集成是实现SiP（System in Package)的主流方案，将不同功能的Chiplets封装在一个封装体内部，使得芯片间的互连效率提升。但是芯片上的焊点（Bump）间距非常微小（微米级），而PCB板的布线间距相对粗大（百微米级）。两者无法直接可靠连接。
- **基板/中介层的作用，充当“中间转换层”。**基板（如fcCSP、PBGA中的）提供了比PCB更精细的布线，是第一级转换。而更高级的中介层则提供了堪比芯片级别的超精细布线，实现了芯片与芯片之间的高速、高带宽互连。

➢ **图表： 芯片BEOL互连L/S与PCB之间的差异仍需中介层/基板匹配**



➢ **图表： 基板在多芯片、Chiplet等高端领域覆盖广**



www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：Mks，金元证券研究所

为何在高端市场基板如此重要?

➢ 图表：不同类型基板特征

高端IC基板	类载板PCB (Substrate-Like PCB,SLP)	嵌入式基板 (ED)	玻璃核心基板 (Glass Core Substrate)
作为IC芯片与电路板之间的互连载体	作为安装芯片的先进电路板	将芯片嵌入电路板、载板或模塑中的堆叠技术	与有机核心基板类似，作为IC芯片与PCB间的互连载体，但采用玻璃核心
采用mSAP/SAP工艺，线宽线距(L/S)可达到<8/8μm，支持高密度I/O	**在电路板层级采用mSAP或SAP**,工艺处理层线宽/线距(L/S)可低至25/25μm	工艺：**采用减成法、mSAP或SAP工艺**，线宽线距(L/S)可达到20/20μm	工艺：采用SAP工艺，**线宽线距(L/S)可达到5/5μm**
由载板制造商主导，与外包半导体封装测试企业 OSATs 合作	由载板制造商主导该技术平台，并与外包半导体封装测试企业 OSATs 合作	载板制造商、OSATs 和集成器件制造商 IDMs 共同合作	由英特尔主导，联合载板制造商和原始玻璃供应商共同推进

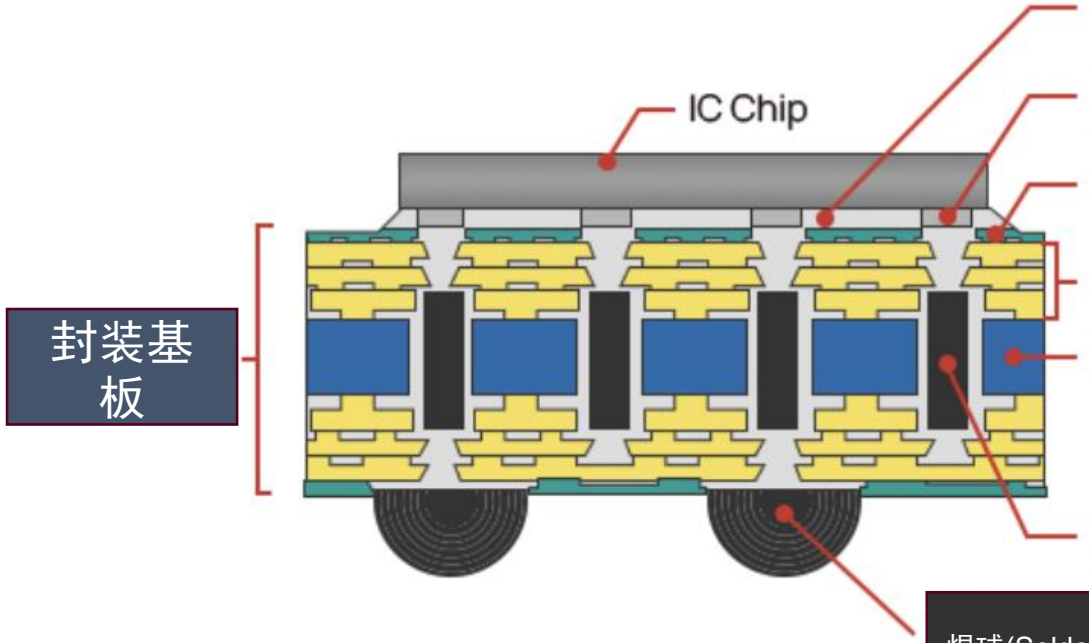
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：金元证券研究所

为何在高端市场基板如此重要?

- 封装基板主要由阻焊层、绝缘介质层、芯材以及互连材料（如底部填充材料、焊料凸点）构成。其中，绝缘介质层对封装基板的互连影响较大。通过光刻、电镀、刻蚀等工艺实现单层布线，后续通过build-up（积层工艺）实现多层基板制造。通孔则是基板垂直互连的核心工艺。

➢ **图表：基板结构**



底部填充材料（Underfill）:在芯片和基板之间注入的一种环氧树脂材料，包裹C4焊料凸点，提供机械保护，防止凸点因疲劳而断裂；应力分散：降低芯片和基板之间因热膨胀系数不匹配而产生的机械应力

C4焊料凸点（Solder Ball）：连接芯片上的焊盘和基板上的焊盘，是芯片与外部电路进行一级互连的关键部件。

阻焊层（Solder Resist）：覆盖在基板表面的绝缘层，通常为绿色。开有窗口，只露出需要焊接的焊盘

绝缘介质层：实现密集布线间的绝缘，材料包括ABF、半固化片

芯材：封装基板的中心支撑层，通常由FR-4或FR-5（玻璃纤维增强环氧树脂）、BT树脂(双马来酰亚胺三嗪树脂)、聚酰亚胺、PTFE (聚四氟乙烯/铁氟龙)，提供机械强度和稳定性，其内部有通孔用于上下层电路的电气连接。

Plugging Resin (填孔树脂)：用于填充PTH通孔，以防止在后续工艺中树脂或杂质进入孔内，同时为孔口上的焊盘提供一个平坦的表面。

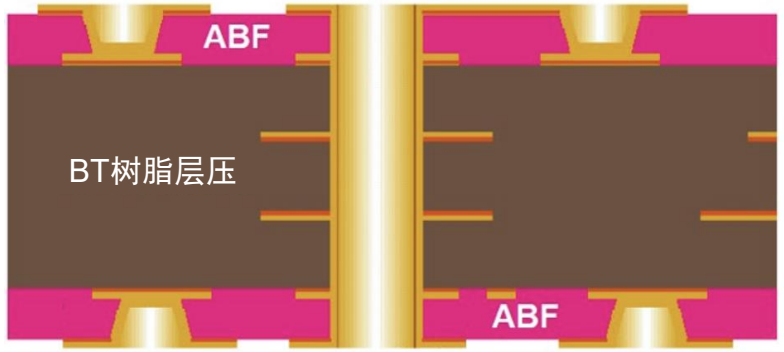
焊球(Solder Ball)：附着在基板底部的焊盘上，用于将整个封装好的芯片焊接到主板（PCB）上。这是二级互连的方式

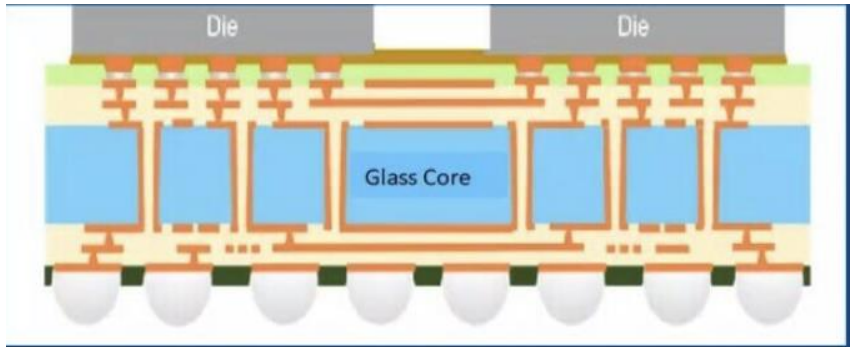
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：Ajinomoto, 金元证券研究所

为何在高端市场基板如此重要?

➢ **图表：有机基板vs玻璃基板**





有机芯基板 (Organic Core Substrate，以当前高端市场ABF基板为例)：

- 其核心层（Core）和积层（Build-up layers）使用有机树脂材料（如环氧树脂、BT树脂、PPE等）和增强材料（如玻璃纤维布）制成的基板。
- ABF (Ajinomoto Build-up Film)：由日本味之素公司（Ajinomoto）开发并生产的一种用于制造积层层的有机绝缘薄膜。主要成分是环氧树脂和其他填料。所以，ABF基板 = 核心层（通常是FR-4之类的有机材料） + ABF薄膜作为积层介质。
- 线宽/间距 (L/S) > 10/10 μm，当前正突破5/5μm，未来开发2/2μm
- 有机芯基板目前已实现大规模量产 (HVM)，成本低于玻璃芯基板 (GCS)
- 由于其核心为聚合物材料，有机基板的加工温度低于玻璃芯基板。
- 有机基板的介电常数 (Dielectric constant) 在 4 到 6 之间；热导率 (Thermal conductivity) 低于玻璃芯基板：0.2-0.5 < ~1.5 W/mK；热膨胀系数 (CTE) 更高：约 17 ppm/°C，而玻璃芯基板为 3-8 ppm/°C。

玻璃芯基板 (Glass Core Substrate - GCS)：

- 当前线宽/线距 (L/S) < 5/5 μm，并且是未来几年实现 < 2/2 μm L/S 的关键技术。
- 玻璃芯基板耐高温，并能提供减少50%的图案失真 (Pattern distortion)
- 从光刻 (lithographical) 的角度看，由于超低的平整度 (ultra-low flatness)，玻璃芯基板具有更好的景深 (DoF)
- 翘曲问题更少，玻璃芯基板的机械特性允许制造超大尺寸的封装
- 在供电方面，玻璃芯基板支持超低功耗下的高速信号传输。
- 对于人工智能 (AI) 和数据中心等应用，玻璃芯的厚度可达 1mm。
- 可填充高深宽比 (Aspect ratio) 的玻璃通孔 (TGV)（从 1:10 到 1:50）。
- **玻璃芯基板在物理性能（CTE）、电气性能（Dk, Df）和热性能（热导率）上全面优于ABF基板。这决定了玻璃基板是面向未来更高端、更复杂、功耗更高的封装应用（如超大尺寸Chiplet、AI加速器、下一代GPU）的理想选择。**
- **玻璃芯基板仍处于研发阶段，成本仍然较高。**

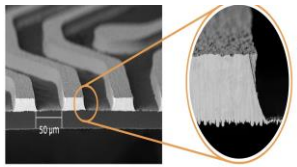
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：Cadence, 3DInCites, 金元证券研究所

为何在高端市场基板如此重要?

- **基板制造与PCB制造类似，但工艺从减成法转向半加成法。**早期PCB制造主要采用减成法(Subtractive)，即在覆铜板上通过蚀刻去除不需要的铜箔形成线路。但随着线路宽度/间距缩小至30μm以下，减成法蚀刻会产生明显的侧蚀和不规则形貌，已无法满足高密度封装基板的要求。因此，载板制造普遍转向半加成法（msap)工艺，即通过“先镀后刻”的方式实现精细线路。由于厚铜和薄铜之间的厚度差异，刻蚀时间短，有效避免了侧蚀和不规则形貌问题。

➢ **图表：减成法vs mSAP vs SAP**



减成法蚀刻会产生明显的侧蚀和不规则形貌

在覆铜板上做减法，蚀刻不需要的铜

减成法

覆铜板(例如：铜厚9μm）

钻孔
在基板上钻出用于连接不同层电路的过孔

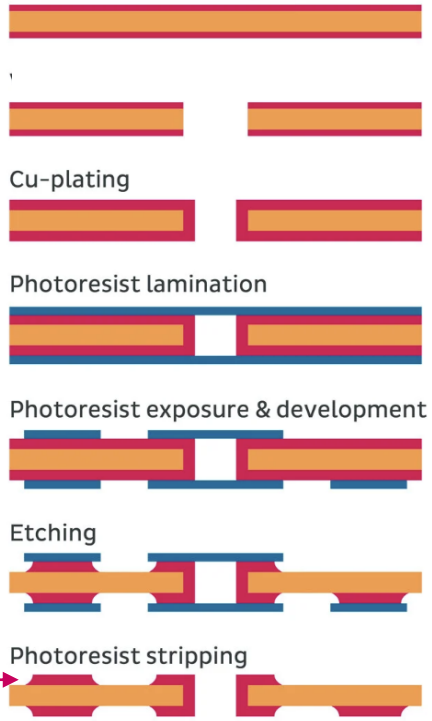
电镀铜
在孔壁和整个板面上沉积一层铜，确保过孔导电并加厚整个铜层

压膜（贴光刻胶干膜）
将一层光敏聚合物薄膜（光刻胶）压合在铜面上

曝光与显影
将电路图形转移到光刻胶上。**显影后，布线区域被光刻胶遮挡（正性光刻胶）。**

蚀刻
使用化学蚀刻液，将没有被光刻胶保护的铜全部蚀刻掉

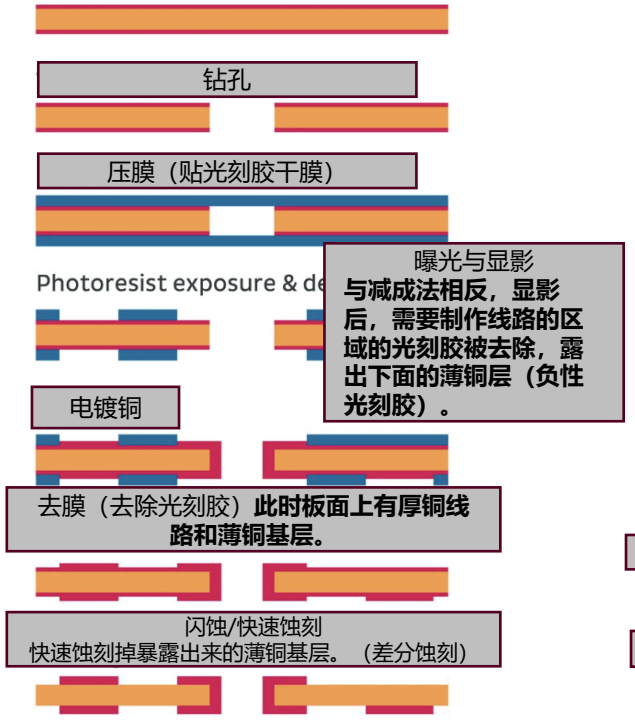
去膜（去除光刻胶）
剥离掉剩余的光刻胶，最终留下设计好的铜线路。



先做加法，电镀厚铜，再做蚀刻（不同厚度差异）

改良半加成法（mSAP)

带薄铜的基板（例如：铜厚1.5μm）

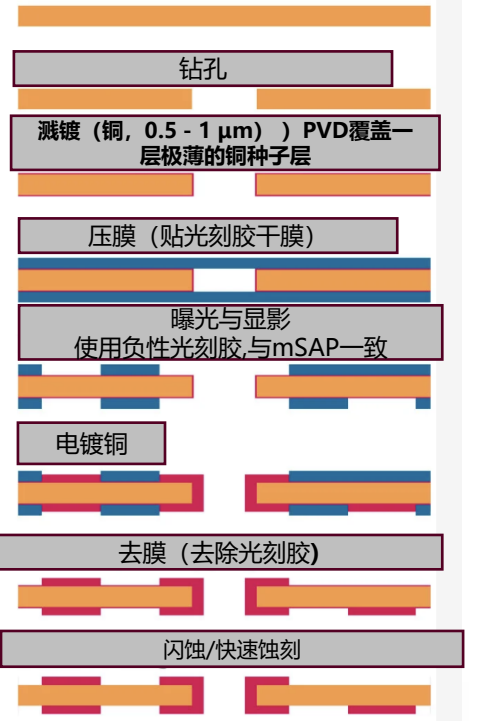


曝光与显影
与减成法相反，显影后，需要制作线路的区域的光刻胶被去除，露出下面的薄铜层（负性光刻胶）。

先做加法，不同的是使用无铜基板，通过溅镀的方式形成线路

半加成法（SAP)

无铜基板(绝缘基板，表面粗化)



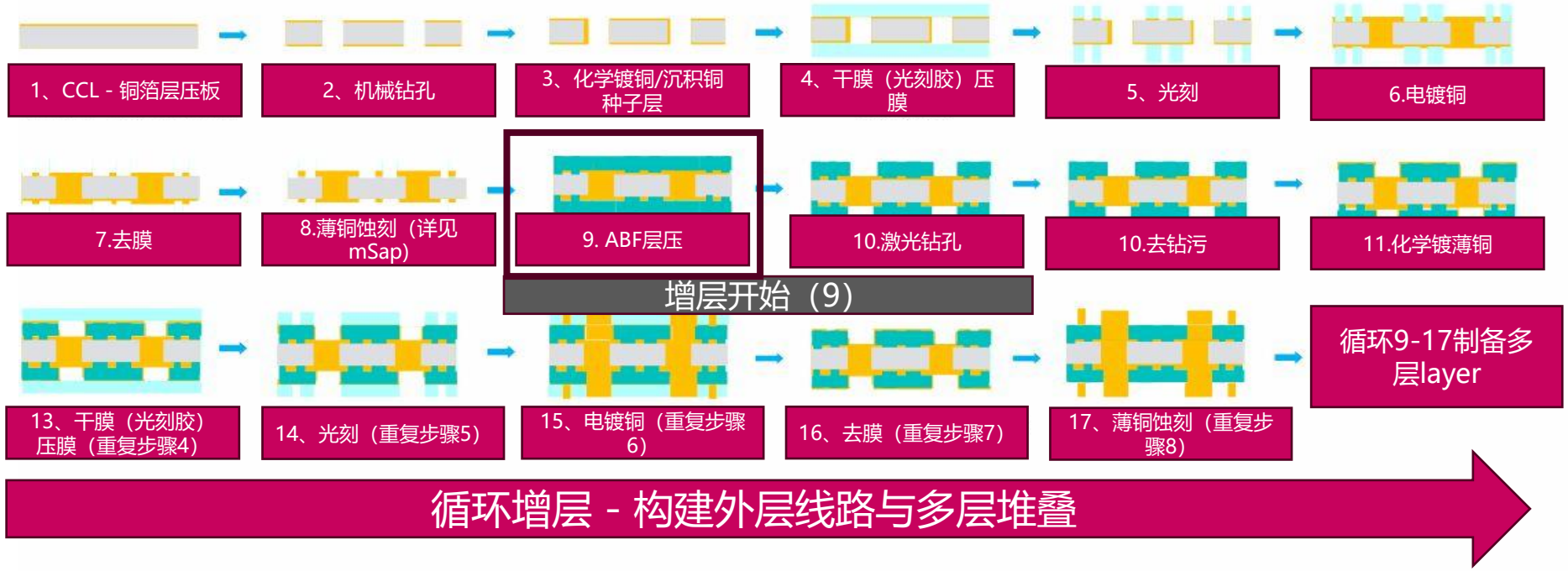
此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：GS SWISS, 金元证券研究所

为何在高端市场基板如此重要?

- 为了制备多层结构，通常需要在完成首层光刻、电镀、去膜后进行ABF层压->激光钻孔->去钻污->化学镀薄铜->压膜->光刻->电镀铜->去膜->薄铜蚀刻，重复多次工艺实现多层结构（build-up)。

图表：制备多层基板工艺步骤



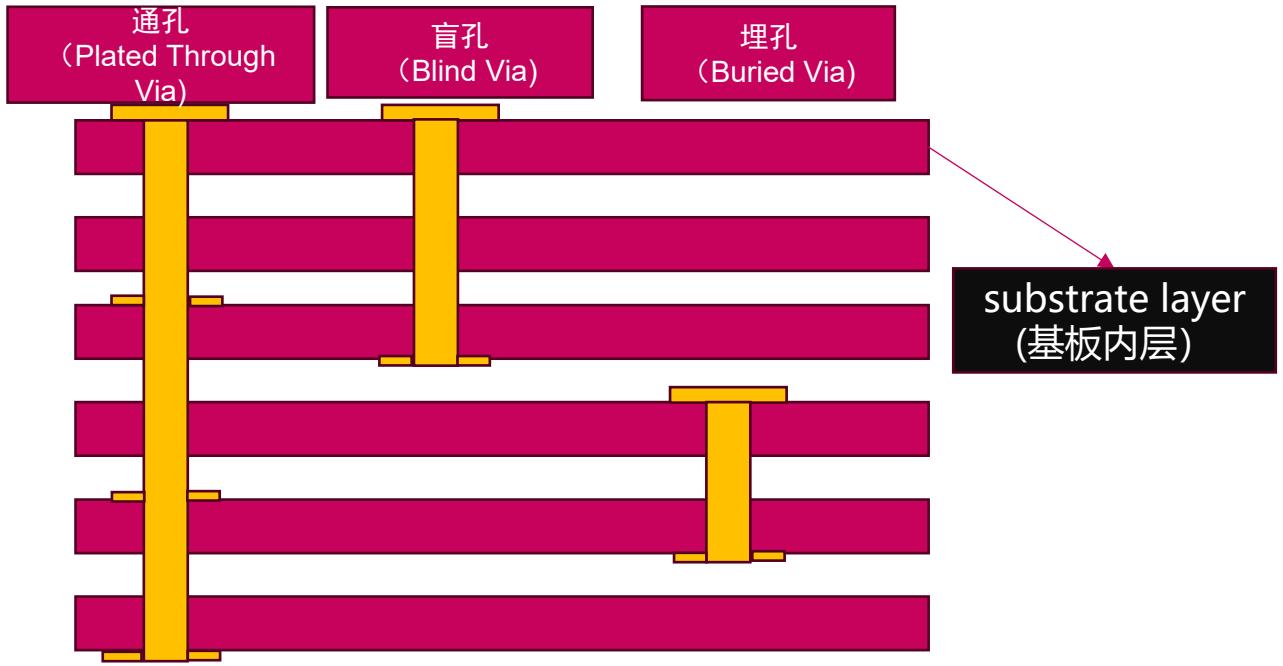
www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：Semiconductor Engineering, 金元证券研究所

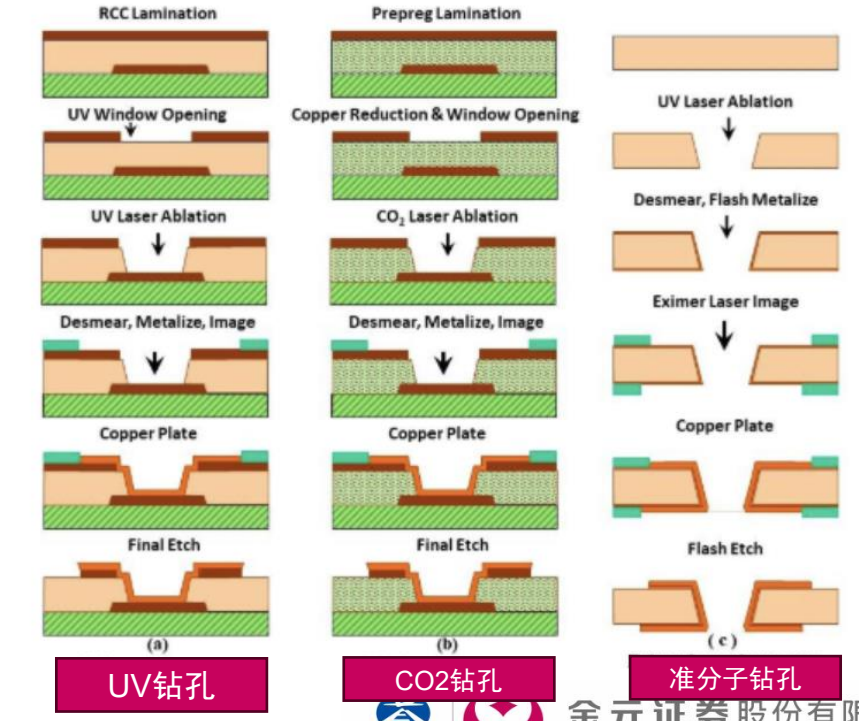
为何在高端市场基板如此重要?

- 过孔通过镀铜实现基板层间的垂直互连。一般分为通孔、盲孔、埋孔。通孔从上到下穿过整个基板/PCB。它形成连接所有层的导电路径。通孔是最容易制造和最具成本效益的。盲孔是将基板的顶层或底层连接到一个或多个内层的镀铜孔。与通孔不同，盲孔不会穿过整个电路板，因此它们只能从其中一层外层看到。埋孔是连接基板两个或多个内层的镀铜孔。埋孔不会穿过整个基板，并且从任何外层都看不到。
- 为了实现微孔，有五种激光系统：UV/准分子、UV/Yag 激光器、CO_2 激光器、Yag/ CO_2 和 CO_2 / TCO_2 组合。还有许多介电材料：RCC、仅树脂（干膜或液态树脂）和增强预浸料。因此，激光系统制作微孔的方法数量是由五种激光系统和这些介电材料的组合驱动的

➢ 图表：通孔、盲孔、埋孔



➢ 图表：不同激光系统钻孔



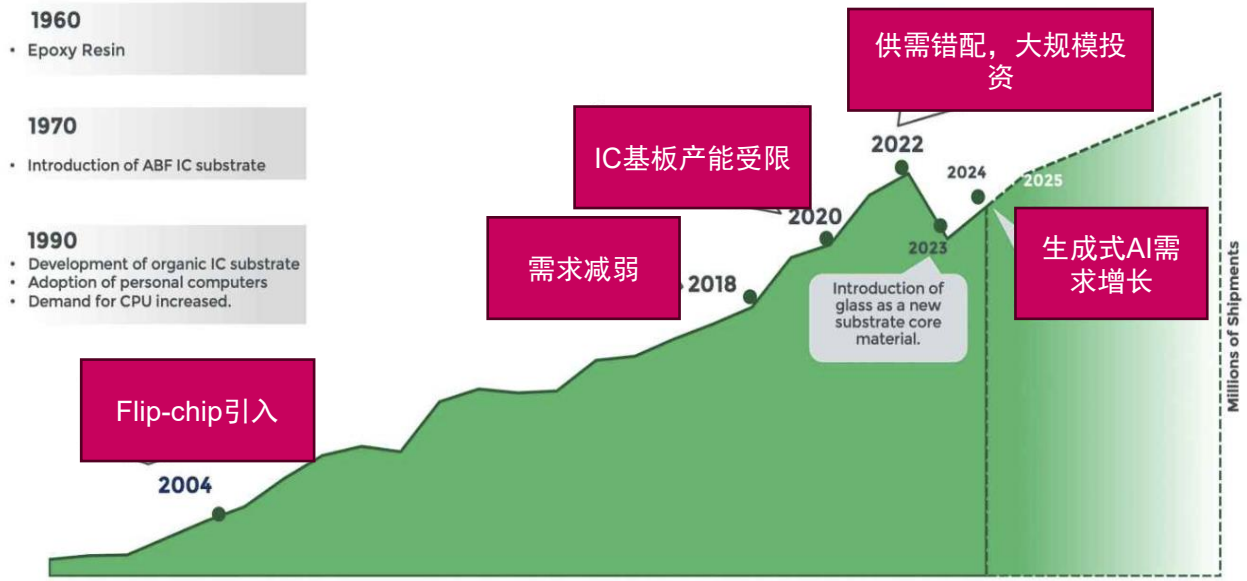
www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：ALTIUM, 金元证券研究所

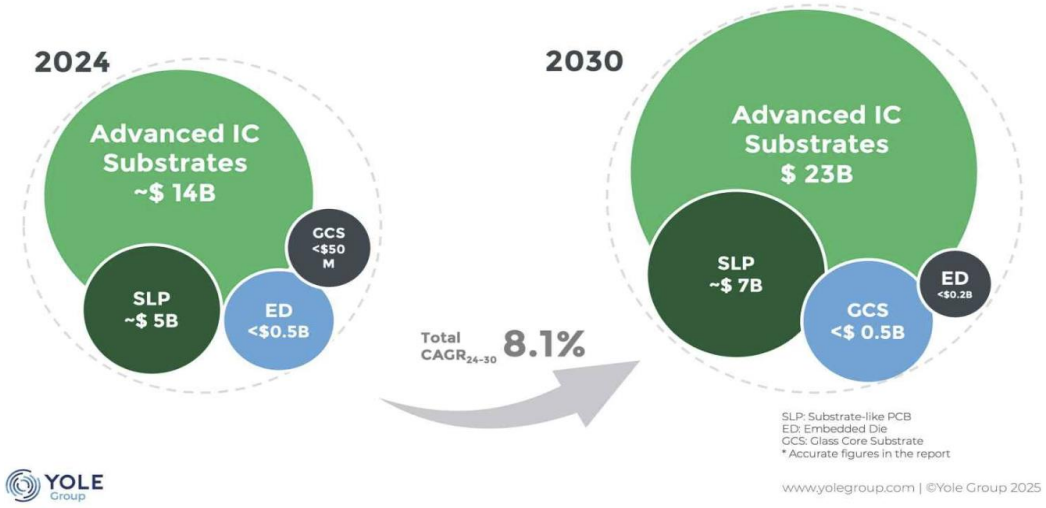
为何在高端市场基板如此重要?

- 受AI芯片玻璃基板（GCS）及高端基板技术驱动，全球先进IC基板市场预计到2030年将达到310亿美元规模。2024年行业已显现复苏迹象，其中有机先进IC基板（AICS）市场同比增长1%，规模达142亿美元，核心增长源于AI数据中心对高复杂度、大尺寸基板的需求。
- 玻璃基板（GCS）作为新兴技术，正通过Absolics等企业在美国、韩国和中国的战略投资加速商业化进程，预计2030年形成数亿美元市场，主要服务于AI/HPC和通信领域。

➢ **图表：先进IC基板行业复苏**



➢ **图表：2030年先进IC基板行业规模将达310亿美元**



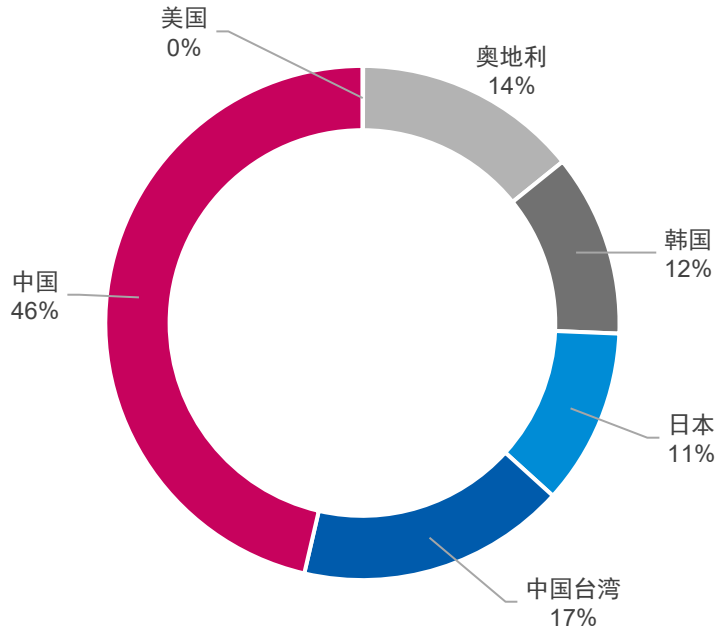
www.jyzq.cn 全国统一客服电话：95372 | 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。
金元证券股份有限公司 GOLDSTATE SECURITIES CO.,LTD.

数据来源：Yole, 金元证券研究所

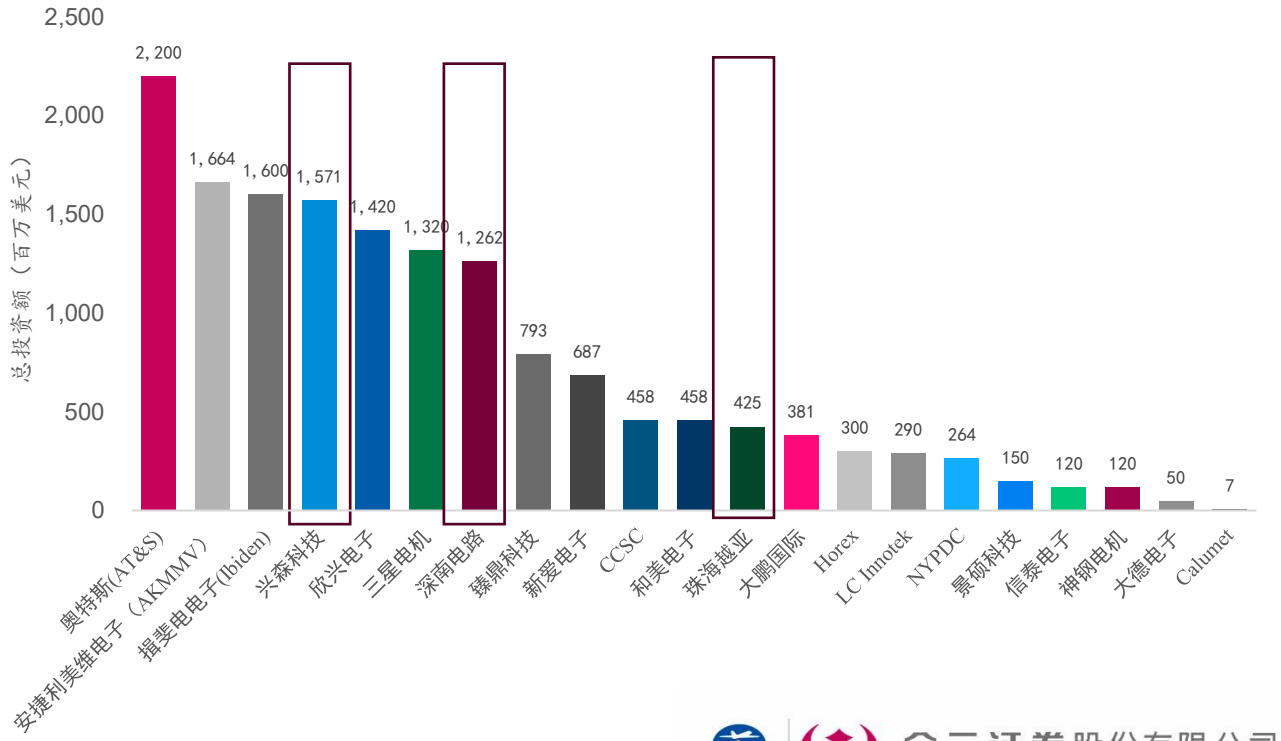
为何在高端市场基板如此重要?

- 国内企业加速布局IC基板赛道。2021-2022年全球企业在IC基板投资总额155亿美元，其中中国企业占比高达46%，达72.05亿美元；其次为中国台湾、奥地利、日本。中国大陆企业中，兴森科技、深南电路投资额位居前列，分别为15.71亿美元、12.62亿美元。
- 市场占有率方面，中国台湾企业欣兴电子、IBIDEN（日本）、NYPCB（中国台湾位居前三位），高端IC基板市场份额分别为17%、10%、10%。国产替代空间仍大。

图表：IC基板全球企业投资额占比



图表：IC基板全球企业投资额



此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：Yole, 金元证券研究所

为何在高端市场基板如此重要?

- PCB与基板作为芯片间互连的介质，实际其性能要求十分类似，从电气性能角度，更密的布线密度、小IO间距、高频传输下低介电、低损耗是共性；从热性能角度，低CTE、低封装工艺温度，从功能上来说，允许更多、更大的芯片、更多的层数互连在封装体内部是基板的发展方向。

➢ **图表：基板的性能参数演绎**

参数	参数		≤2021	2022	2023	2024	2025	2026	2027	2028
电气性能	线宽/线距 (μm) 层	mSAP	≥12/16	≥10/15			≥8/10			
		SAP (ABF)	≥9/12	≥8/8			≥5/5 (主流目标)			
	间距	I/O 凸点 (μm)	≥100	≥90			≥80			
		I/O 焊球 (μm)	≥350	≥300						
	微通孔直径 (μm)		≥60		≥50			≥40		
	通孔直径 (μm)		100-60	80-55	75-50		50-40			
	堆叠通孔数量		6	7	8		9			
	高频介电常数 (Dk) @ >6 GHz		≤3.45	≤3.35			≤3.30			
	高频损耗因子 (Df) @ >6 GHz		≤0.006	≤0.005			≤0.004			
	金属线路导电率		铜的70%				铜的70-90%			
封装尺寸	最大层数		双面：最多22层			双面：最多24层				
	最大封装尺寸 (mm²)		60x60	80×80			≥100x100			
热性能	**积层材料热膨胀系数 (CTE) (ppm/℃)**		≥25	20	9		≤9			
	封装工作温度 (℃)		100	120			150			
功能性	最大芯片尺寸 (mm²)		28x28			≥55x55				
	最大芯片数量		≤3	≤5		≥5				

低损耗因子 (Low Df)

低介电常数 (Low Dk)

光滑表面

平整度

低热膨胀系数 (Low CTE)

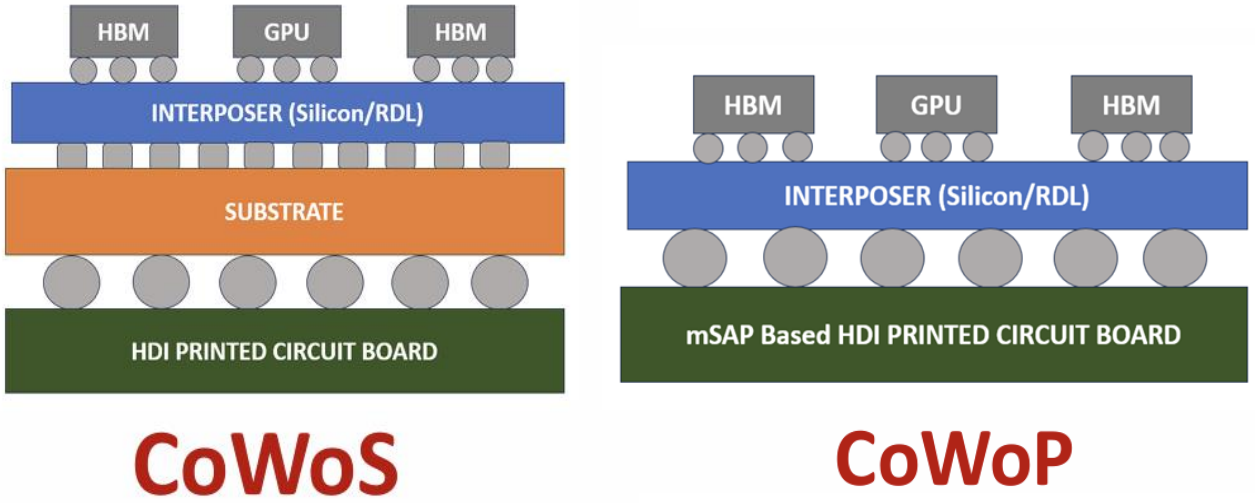
www.jyzq.cn 全国统一客服电话：95372 此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：金元证券研究所

COWOP取代基板?

- **COWOP? Substrate-Less?：我们认为Chip on Wafer on PCB的实际思路并非是substrate-less（去基板），而是在于模糊了PCB与基板之间的定义。**换句话而言，无论是中介层还是基板、PCB其功能均是芯片间传输、散热、保护，功能集成，若实现COWOP技术，相当于需要将基板的功能转移至PCB，基板的技术、材料或仍然通用。
- 另外，以当前PCB的布线密度和IO密度而言仍然无法实现与中介层的匹配；若要实现COWOP核心是在于寻找能够实现高密度IO的材料，从而使PCB能够匹配硅中介层的L/S、IO Pitch，后续PCB可能走向类基板的定位，传统PCB使用基板材料制备从而实现IC直接封装至PCB之上。从这个角度而言，COWOP与基板并不冲突，基板工艺或运用于PCB之上，使其能够实现高IO需求。

➢ **图表：CoWoS vs CoWoP**



对比维度	Chip On Wafer On Substrate (CoWoS)	Chip On Wafer On Platform PCB
主要结构	芯片 - 硅中介层 - 有机封装基板 - PCB	芯片 - 硅中介层 - 直接安装到PCB
优势	技术成熟，应用广泛，拥有多种变体 (如CoWoS-S, CoWoS-R, CoWoS-L)	省略了ABF/BT基板，显著降低材料成本
劣势	生产成本较高（因使用基板），空间利用率较低	需要极高技术的PCB、芯片贴装工艺复杂、技术尚处早期不成熟
主要参与者/前景	台积电(TSMC)、日月光(ASE)	不太可能被英伟达(Nvidia)的Rubin Ultra平台采纳

此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

数据来源：《INTRODUCTION TO CoWoP》by RAGHAVENDRA ANJANAPPA，金元证券研究所

相关公司

- 我们认为，PLP封装借助成本及面积使用率高的优势很可能逐步取代传统封装市场及部分WLP封装市场，尤其是在功率IC、模拟IC领域，国内多家厂商积极布局PLP产业链，相关公司包括：
  - OSATs厂商：华天科技（002185.SZ）、华润微（688396.SH）等。
- 此外，随着AI的推动下，封装体积逐步增大，Chiplets、异质集成以及芯片间互连需求逐步提升，高速率、低损耗实现芯片to芯片的互连尤为关键，封装基板及材料需要更新迭代以满足传输、散热、保护，功能集成需求，相关公司包括：
  - 基板制造及材料厂商：联瑞新材（688300.SH）、华正新材（603186.SH）、兴森科技（002436.SZ）、深南电路（002916.SZ）、景旺电子（603228.SH）、生益科技（600183.SH）、南亚新材（688519.SH）；
  - 基板制造设备厂商：大族激光（002008.SZ)、鼎泰高科（301377.SZ）、中钨高新（000657.SZ）等。

此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

风险提示

- 技术风险：PLP封装仍处于导入阶段，大Panel的翘曲问题，与硅的热应力问题仍需解决；行业技术变革大，且当前Panel标准仍然不明确；大尺寸Panel需采购新设备，公司前期投入较大。
- 行业风险：AI及算力芯片需求下滑，半导体周期下行
- 政治、政策不确定性因素及其他宏观因素

此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

投资评级说明

金元证券行业投资评级标准：

增持：行业股票指数在未来6 个月内超越大盘；

中性：行业股票指数在未来6 个月内基本与大盘持平；

减持：行业股票指数在未来6 个月内明显弱于大盘。

金元证券股票投资评级标准：

买入：股票价格在未来6个月内超越大盘15%以上；

增持：股票价格在未来6个月内相对大盘变动幅度为5%～15%；

中性：股票价格在未来6个月内相对大盘变动幅度为-5%～+5%；

减持：股票价格在未来6 个月内相对大盘变动幅度为-5%～-15%；。

此文件版权归金元证券股份有限公司所有，未经许可任何单位或个人不得复制、翻印。

免责声明

本报告由金元证券股份有限公司（已具备中国证监会批复的证券投资咨询业务资格）制作。本报告所载资料的来源及观点的出处皆被金元证券认为可靠，但金元证券不保证其准确性或完整性。该等信息、意见并未考虑到获取本报告人员的具体投资目的、财务状况以及特定需求，在任何时候均不构成对任何人的个人推荐。投资者应当对本报告中的信息和意见进行独立评估，并应同时考量各自的投资目的、财务状况和特定需求，必要时就法律、商业、财务、税收等方面咨询专业财务顾问的意见。对依据或者使用本报告所造成的一切后果，金元证券及/或其关联人员均不承担任何法律责任。投资者需自主作出投资决策并自行承担投资风险，任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。

本报告所载的信息、材料或分析工具仅提供给阁下作参考用，不是也不应被视为出售、购买或认购证券或其他金融工具的要约或要约邀请。该等信息、材料及预测无需通知即可随时更改。过往的表现亦不应作为日后表现的预示和担保。在不同时期，金元证券可能会发出与本报告所载意见、评估及预测不一致的研究报告。

金元证券的销售人员、交易人员以及其他专业人士可能会依据不同假设和标准、采用不同的分析方法而口头或书面发表与本报告意见及建议不一致的市场评论和/或交易观点。金元证券没有将此意见及建议向报告所有接收者进行更新的义务。金元证券的自营部门以及其他投资业务部门可能独立做出与本报告中的意见或建议不一致的投资决策。

在法律许可的情况下，金元证券可能会持有本报告中提及公司所发行的证券头寸并进行交易，也可能为这些公司提供或争取提供投资银行业务服务。因此，投资者应当考虑到金元证券及/或其相关人员可能存在影响本报告观点客观性的潜在利益冲突。投资者请勿将本报告视为投资或其他决定的唯一信赖依据。

本报告的版权仅为金元证券所有，未经书面许可任何机构和个人不得以任何形式转发、翻版、复制、刊登、发表或引用。