

半导体

证券研究报告
2023 年 03 月 15 日

Chiplet：设计引领、封装赋能，助推产业链价值重构和国产芯破局

事件：当地时间 3 月 2 日，BIS 将浪潮、龙芯等 29 家中国实体列入实体清单。其中浪潮、龙芯同时被列入脚注 4 实体（即涉及先进计算类芯片与超级计算机的实体），将限制其获取 18 类软件和技术。

我们看好外部形势趋紧之下，Chiplet 技术方案由设计公司引领、先进封装赋能落地，从上游 IP、EDA、设计到中游制造，再到下游封测，革新半导体产业链，重塑产业链价值，有望助力国产芯实现换道超车。看好封装公司估值处于历史相对低位，周期底部有望率先复苏，伴随 2D 封装到 3D Chiplet 发展，封装环节价值逐步提升。

1、硅片级“解构-重构-复用”，Chiplet 突破三大产业瓶颈

作为硅片级“解构-重构-复用”的方案，Chiplet 或为破局摩尔定律、实现产业再度飞跃的关键。其突破主要体现在三个方面，分别带来百分比级、翻倍级和指数级的性能提升：（1）成本&良率突破：芯片良率与芯片性能之间存在矛盾，同构小芯粒集成可以提升良率，降低成本；（2）面积&性能突破：目前服务器 CPU 和 GPU 已逼近单个芯片面积上限，无法满足高算力需求，同构扩展可以提高性能，应对各场景大量增长的算力诉求；（3）设计&制程突破：先进制程芯片设计成本高昂，而异构集成下各模块使用适宜制程各司其职，从我国视角来看，Chiplet 或为打破国产制程瓶颈的关键方案。同时，Chiplet 可助力超异构集成计算的发展，处理器性能&灵活性同步提升。

2、产业链价值重塑，封装环节具有“估值处历史相对低位+周期复苏+产业价值量提升”的投资逻辑

从全产业链来看，Chiplet 作为一种全新设计理念提升了设计、IP、EDA 环节的引领性地位，有望为中游制造、下游封测带来价值增量。从具体的落地方案来看，Chiplet 主要依靠高速互联的设计和异构集成先进封装技术的支撑。**设计方面**，主要通过 Base Die/IO Die/Die to Die 设计实现核心处理模块之间，及其他各模块间的高速互联。**封装方面**，Chiplet 封装演进的本质是在成本可控的情况下尽可能提升互联的密度与速度，从 2D 封装到 2.5D Chiplet、3D Chiplet，封装环节价值量&重要性有望不断提升。我国封装厂商技术积累深厚，长电科技、通富微电、华天科技已实现 Chiplet 量产，封装环节具有“估值处历史相对低位+周期复苏+产业价值量提升”的投资逻辑。

3、高性能计算（HPC）或为 Chiplet 当前的主要发力点

ChatGPT 是大数据+大模型+大算力的产物，每一代 GPT 模型的参数量高速增长，根据人工智能学家公众号数据，2020 年 5 月发布的 ChatGPT 的前身 GPT-3 参数量达到了 1750 亿（预训练数据量达 45TB，远远大于 GPT 2 的 40GB）。算力需求方面，训练 ChatGPT 所耗费的算力大概是 3640 PetaFLOPs per day，即用每秒能够运算一千万亿次的算力对模型进行训练，需要 3640 天完成。随着科技巨头类 ChatGPT 项目入局，整体在算力提升、数据存储及数据传输端需求迭起。而随着摩尔定律逐渐趋缓，我们认为 Chiplet 有望成为支持高性能计算存储的关键。美国正在开发的三个超级计算机 Aurora、El Capitan 和 Frontier，CPU 和 GPU 利用 Chiplet 方案，AMD、Intel、华为的服务器处理器芯片均采用 Chiplet 方案助力算力突破及性能提升。

4、投资建议

我们看好 Chiplet 重塑半导体产业格局，为我国半导体产业带来换道超车的发展机遇。建议关注：

- （1）封测板块：长电科技、通富微电、华天科技等
- （2）测试板块：伟测科技、利扬芯片等
- （3）IP 板块：芯原股份、润欣科技等
- （4）EDA 板块：华大九天、概伦电子等
- （5）封装测试设备板块：长川科技、华峰测控、金海通、新益昌等
- （6）材料板块：兴森科技、南亚新材、华正新材、方邦股份、德邦科技、和林微纳、联瑞新材等

风险提示：国际局势不确定性加剧；科研进度不及预期；需求不及预期

投资评级

行业评级 强于大市(维持评级)
上次评级 强于大市

作者

潘暕 分析师
SAC 执业证书编号：S1110517070005
panjian@tfzq.com

行业走势图



资料来源：聚源数据

相关报告

- 1 《半导体-行业研究周报:荷兰对光刻机出口进一步限制，国产化亟待加速》
2023-03-14
- 2 《半导体-行业研究周报:政策预期升温，关注国产化，周期复苏，与新技术》
2023-03-06
- 3 《半导体-行业研究周报:23Q1 库存持续去化，基本面或加速触底》
2023-02-27

内容目录

1. 质的飞跃：从成本到性能，Chiplet 突破三大瓶颈.....	4
1.1. 良率&成本突破：同构小芯粒集成提升良率，降低成本	5
1.2. 面积&性能突破：同构扩展提高性能，应对算力的指数级增长	6
1.3. 设计&制程突破：模块化拆分优化设计，超异构打开想象空间	9
1.4. 地缘政治影响下，Chiplet 加持中国自主产业链的构建	12
2. 产业革新：设计+先进封装实现高速互联，产业链价值迎来重构.....	13
2.1. 产业环节：Chiplet 革新半导体产业生态	13
2.2. 设计环节：高速互联设计实现各模块“Chiplet 化”	14
2.3. 封装环节：国内厂商布局加速，有望受益价值量提升+周期复苏双逻辑	15
2.3.1. 从 2D 封装到 3D Chiplet：先进封装价值量不断提升	15
2.3.2. 国内头部厂商：实现 Chiplet 产品量产，掌握核心工艺	16
3. 应用场景：高性能计算（HPC）为主战场	18
4. 投资建议.....	19
5. 风险提示.....	21

图表目录

图 1：SoC 与 Chiplet 对比	4
图 2：异构集成和异质集成	4
图 3：Chiplet 带来的三大突破示意图及与性能提升的关系	5
图 4：AMD Zen1 架构四合一同构方案提升良率	5
图 5：服务器 CPU 和 GPU 芯片尺寸接近上限	6
图 6：数据量爆炸式增长	6
图 7：算力增长曲线	6
图 8：机器学习大幅提升算力需求	7
图 9：自动驾驶算力需求增长	8
图 10：苹果 M1-M1 Ultra 芯片面积	8
图 11：特斯拉 Dojo 核心芯片	9
图 12：先进制程芯片的单位面积成本增加（亿美元）	9
图 13：摩尔定律不断放缓	9
图 14：Zen1 到 Zen2 “异构集成”设计变化	10
图 15：英特尔超算芯片 Ponte Vecchio 结构	11
图 16：处理器异构集成发展	11
图 17：Chiplet 产业链	13
图 18：AMD Zen2 架构中 I/O Die 与 Die to Die 的互联方案及片上缓存性能的提升	14
图 19：中介层和中介层通孔	15
图 20：3D 封装示意图	16
图 21：长电科技 XDFOI 技术	17
图 22：通富微电 VISIONS 平台	17

图 23：华天科技 3D Matrix 平台17

图 24：封测板块估值处历史相对低位17

图 25：Chiplet 助力服务器算力提升&性能优化18

表 1：苹果 M1-M1 Ultra 芯片性能..... 8

表 2：美国政府对我国半导体产业制裁已久12

表 3：各业务板块 Chiplet 相关标的19

表 4：相关公司盈利预测与估值.....21

1. 质的飞跃：从成本到性能，Chiplet 突破三大瓶颈

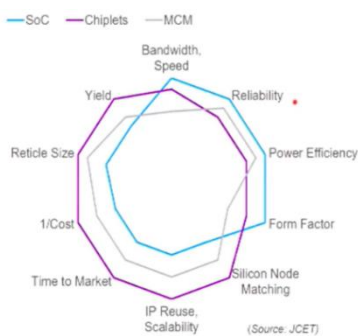
事件：当地时间 3 月 2 日，BIS 将浪潮集团、龙芯中科、第四范式、盛科通信等 29 家中国实体被列入实体清单。其中浪潮、龙芯同时被列入脚注 4 实体（即涉及先进计算类芯片与超级计算机的实体），将限制其获取 18 类软件和技术。

部分被限制企业业务与先进芯片或超级计算机相关。被限制的企业中，浪潮集团旗下拥有 X86 服务器业务，龙芯中科是 CPU 设计企业，第四范式是一家 AI 独角兽，盛科通信则是一家以太网交换芯片设计企业，且浪潮集团并非第一次遭遇被列入实体清单。

超算产业发展受限、国际形势不确定性加剧之下，芯片国产化亦在加速。我们看好 Chiplet 助力突破制程瓶颈，实现国产算力芯片产业飞跃。以浪潮为例，其业务对英特尔多有依赖。2013 年以来，英特尔始终为浪潮第一大供应商，在服务器、存储、AI 解决方案、云服务等多方面，其底层技术均依赖英特尔的 CPU。2019 年，浪潮信息从英特尔采购的金额达到 179 亿元，占比达到 37.53%。在 2021 年财报中，浪潮信息隐去了前五大供应商的名称，但第一大供应商采购的金额仍高达 169 亿元，占比为 23.83%。我们认为此类企业受限或会束缚我国先进芯片及超级计算机产业发展，Chiplet 有望助力突破先进制程及算力受限的困境。

Chiplet 又称芯粒或小芯片，是硅片级别的“解构-重构-复用”，它把传统的 SoC 分解为多个芯粒模块，将这些芯粒分开制备后再通过互联封装形成一个完整芯片。芯粒可以采用不同工艺进行分离制造，可以显著降低成本，并实现一种新形式的 IP 复用。其为 SoC 集成发展到当今时代，摩尔定律逐渐放缓情况下，持续提高集成度和芯片算力的重要途径。相比传统 Monolithic（单一整体）芯片技术，Chiplet 技术能够在降低成本的同时获得更高的集成度。

图 1：SoC 与 Chiplet 对比

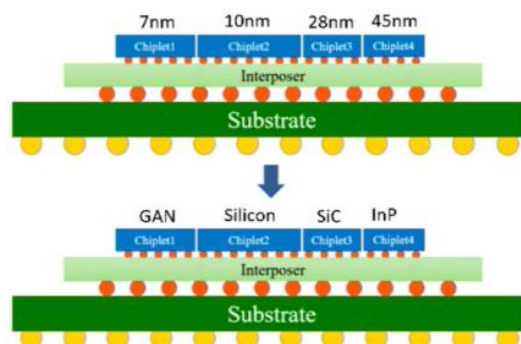


	SoC	Chiplet
制程	逻辑驱动，制程统一迭代	按逻辑/模拟等模块选用合适制程
成本	掩膜成本高	掩膜成本优化
面积	有 reticle 限制	无 reticle 限制
良率	边缘浪费，低良率	少浪费，高良率
设计	设计周期长	设计周期短
灵活性	严格的设计和升级	最大灵活性

资料来源：第六届中国系统级封装大会，长电科技，天风证券研究所

Chiplet 具体方案包括同构、异构、异质。同构即对相同制程和类型的芯片进行连接扩展，如 4 个 7nm，单颗算力 30 个 tops，4 个堆为 120tops。异构堆叠是通过把大芯片分成面积更小的单元模块，选择最适合的半导体制程工艺，从而实现媲美乃至超越传统 SOC 的性能和各项表现。异质主要指将不同材料的芯片集成为一体。

图 2：异构集成和异质集成



资料来源：第六届中国系统级封装大会，SCI，天风证券研究所

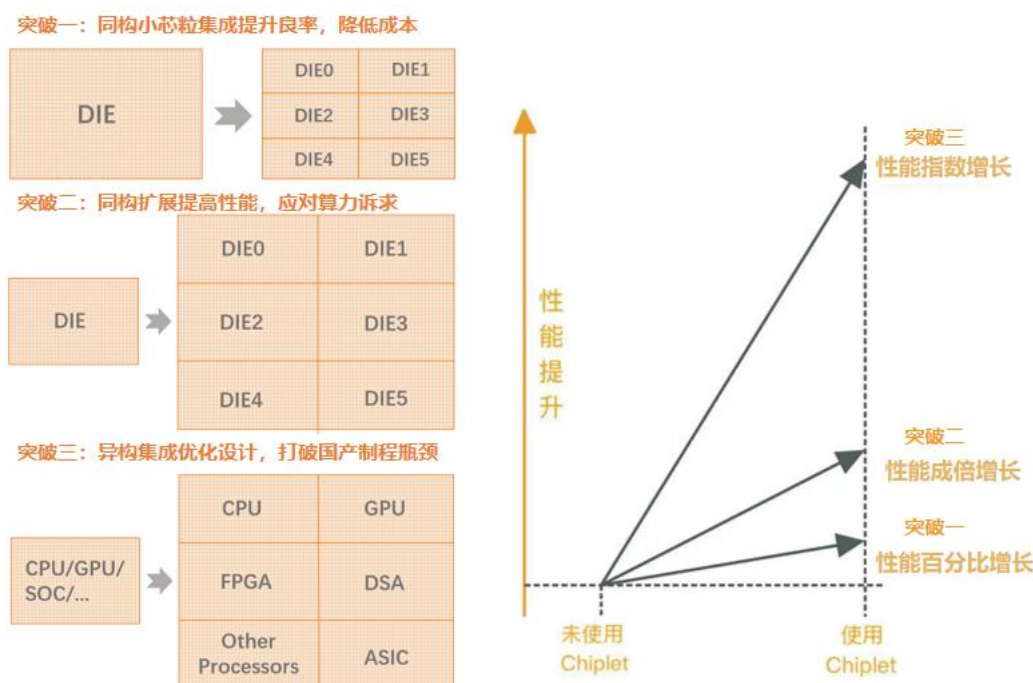
摩尔定律放缓及国际形势不确定加剧下，预期 Chiplet 能为半导体产业带来三大突破，海内外有望同步受益，对我国半导体产业而言，也是一次突破先进制程和算力瓶颈的产业机遇。

(1) 同构小芯粒集成方案提升良率，降低成本，结合 AMD Zen1 架构的应用案例，增加 10% 面积，良率提升，降低了 40% 的量产成本。我们认为在同等成本下，同构小芯粒集成方案有望带来性能的百分比增长。

(2) 同构扩展方案能够大幅提高性能以应对算力爆炸的时代需求，结合苹果 M1 Ultra 将两个 M1 Max 芯片连成一个芯片，芯片面积增加 100%，各项硬件指标也实现了直接翻倍。我们认为同构扩展方案或可带来性能的翻倍增长。

(3) 异构集成方案对芯片进行了“模块化”的拆分，各个模块采用其合适的制程，在降低设计成本和难度的同时大幅提升芯片性能。同时 Chiplet 能够助力处理器的超异构趋势，平衡处理器的性能和灵活性，带来算力的指数级增长。

图 3：Chiplet 带来的三大突破示意图及与性能提升的关系



资料来源：奇异摩尔公众号，电脑爱好者公众号，摩尔芯球，半导体行业观察，天风证券研究所

1.1. 良率&成本突破：同构小芯粒集成提升良率，降低成本

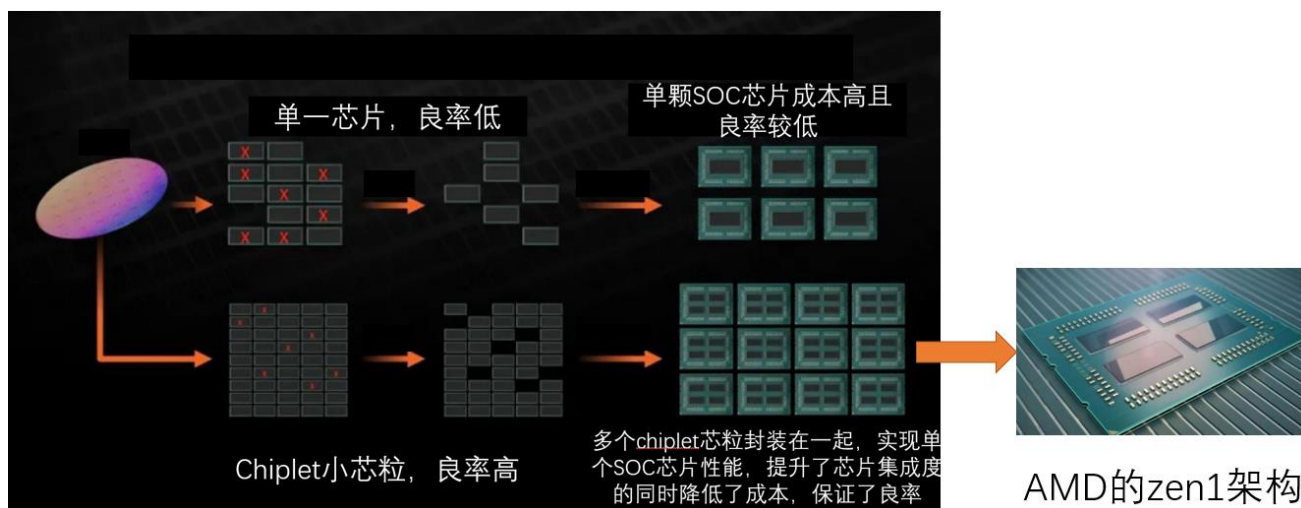
(1) 良率方面：将单一芯片分割为多个面积较小的 Chiplet，提升良率

(2) 成本方面：提升良率，降低成本

瓶颈：芯片良率与芯片性能之间存在矛盾，芯片良率提升遇瓶颈。为了提升性能，必须要增加芯片中的晶体管数量，而若要提升良率则必须保证单一芯片面积不能太大。例如，150mm²芯片的良品率约为 80%，700mm²的设计芯片合格率会骤降至 30%。从工艺制造良率的 Bose-Einstein 模型：良率=1/(1+芯片面积*缺陷密度)ⁿ，其中 n 代表掩膜版层数相关系数。单芯片的面积越大，良率越低，对应制造成本也越高。

Chiplet 突破案例：AMD Zen1 架构增加 10% 面积，良率提升，降低了 40% 的量产成本。厂商将单一芯片分割为多个面积较小的 Chiplet，再把多个相同的 Chiplet 集成在一起优化性能。AMD 率先在其数据中心处理器 Zen1 中采用了该方案。AMD 将 Zen1 分成四个独立的模块，并将它们重新拼接在一起。这种方式让 AMD 在维持该处理器整体性能不变的基础上，以 10% 面积的增加，降低了 40% 的量产成本。

图 4：AMD Zen1 架构四合一同构方案提升良率



资料来源：棋芯智能公众号，奇异摩尔公众号，AMD，天风证券研究所

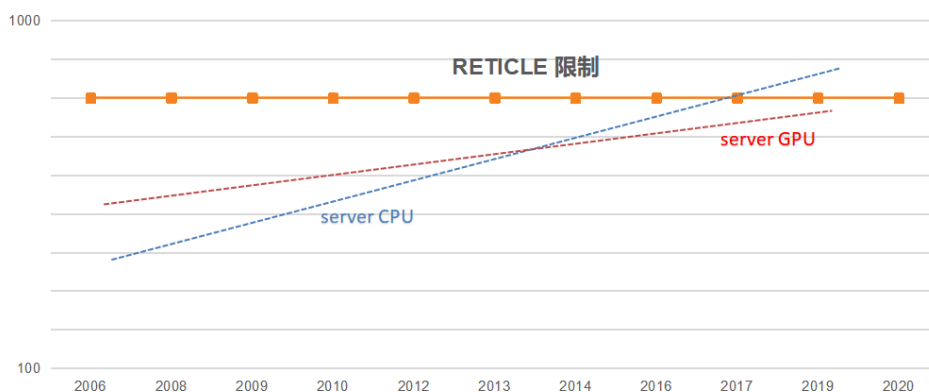
1.2. 面积&性能突破：同构扩展提高性能，应对算力的指数级增长

(1) 面积方面：单芯片做集成，面积或可成倍提升不受约束。

(2) 性能方面：面积提升，性能成倍增长。

瓶颈：单个芯片面积有上限，无法满足各场景高算力需求。通常来说，由于光刻掩膜版的尺寸限定在 33mm * 26mm，单个芯片的面积一般不超过 800mm²，当前服务器 CPU 和 GPU 已逼近单个芯片面积上限。

图 5：服务器 CPU 和 GPU 芯片尺寸接近上限

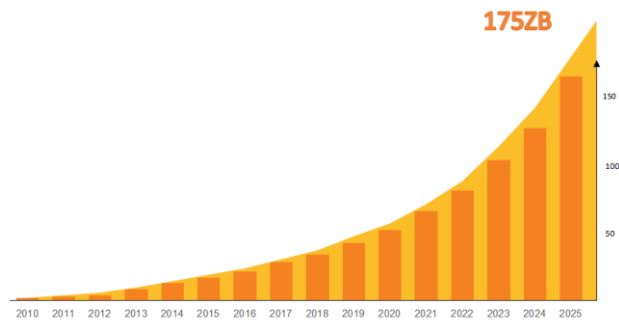


资料来源：芯东西公众号，天风证券研究所

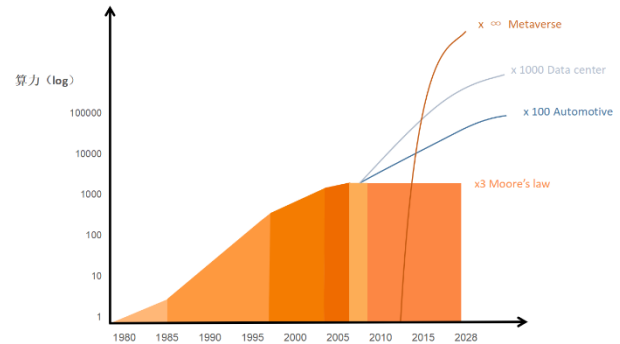
人工智能、自动驾驶等场景带来算力缺口。互联网普及下，数据规模翻倍增长，未来算力缺口大。据 IDC 公司发布 DataSphere 和 StorageSphere 报告，2020 年全球产生了超过 64ZB 数据量；到 2025 年，全球数据总量将增至 175ZB，较 2010 年的全球的数据总量增加 175 倍。所谓算力，就是设备处理数据、输出结果的能力。据奇异摩尔公众号预测，作为提供多样化计算能力支撑的新型基础设施，下一代数据中心在 5 年内将面临约 1000 倍的算力需求。

图 6：数据量爆炸式增长

图 7：算力增长曲线



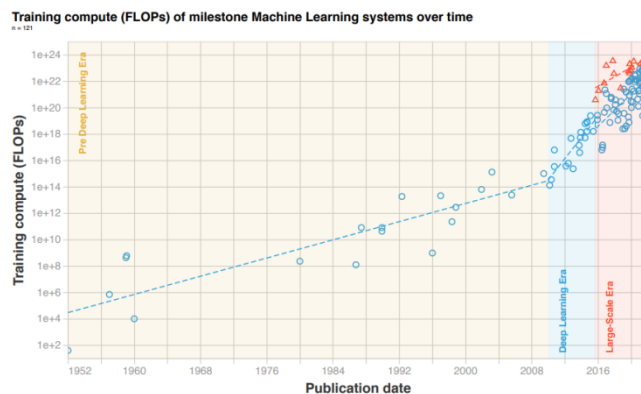
资料来源：奇异摩尔公众号，天风证券研究所



资料来源：奇异摩尔公众号，Intel Architecture Day 2020，天风证券研究所

人工智能方面，深度学习的出现带动机器学习（ML）算力需求呈现指数级增长。2010 年之前其所需的算力增长符合摩尔定律，大约每 20 个月翻一番。伴随深度学习问世，2010 年后每 6 个月翻一番，2015 年后大规模 ML 模型的出现，训练算力的需求提高了 10 到 100 倍。其中代表，ChatGPT 的总算力消耗约为 3640PF-days，至少要 7-8 个投资 30 亿规模数据中心才能支撑运行。此外，据奇异摩尔公众号预测，代表第四次计算机浪潮的元宇宙将需要至少 10 的 6 次方倍于目前的算力，而元宇宙的终极理想形式，对算力资源的需求近乎无限。

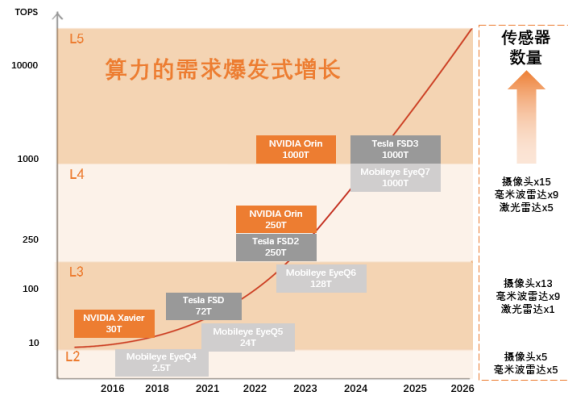
图 8：机器学习大幅提升算力需求



资料来源：Jaime Sevilla 《COMPUTE TRENDS ACROSS THREE ERAS OF MACHINE LEARNING》，天风证券研究所

自动驾驶方面，现阶段大多单芯片算力仍小于 10TOPS，相对 L3 级别 100TOPS 以上的算力需求缺口大。L0-L5 六个自动驾驶级别，每一分级都比上一级有更高的算力要求，L2 级别大致需要 10TOPS 计算能力，L3 需要 100TOPS 以上的算力，L3+ 的算力级别需要 1000TOPS 以上，到 2030 年 L4+ 自动驾驶汽车的单车算力将达到 5000TOPS，而现阶段很多单颗芯片算力仍小于 10 TOPS，算力缺口大。此外，自动驾驶催生端云协同的计算需求，据华为《智能世界 2030》预测，未来单个车厂的云端至少需要 10EFLOPS 以上的算力。

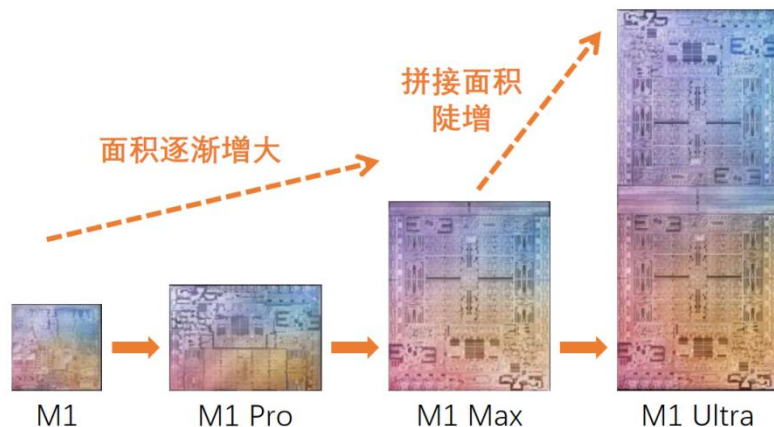
图 9：自动驾驶算力需求增长



资料来源：佐思汽车研究公众号，天风证券研究所

Chiplet 突破案例：苹果 M1 Ultra 两个 M1 Max 芯片被连成一个芯片，芯片面积增加 100%，各项硬件指标也实现了直接翻倍。芯片面积越大意味着晶体管数量越多，也代表着性能和功能越强，通过多个芯片的片间集成，可以在封装层面突破单芯片上限，进一步提高集成度。苹果推出 M1 Max 芯片时，市场普遍认为这已达到了 M1 系列芯片的封顶之作，面积高达 432mm²。随着 M1 Ultra 的推出，两个 M1 Max 芯片被连成一个芯片，芯片面积增加到 200%，各项硬件指标也实现了直接翻倍。和最初的 Apple M1 处理器相比，Apple M1 Pro、M1 Max、M1 Ultra 同样 5nm 制程工艺，但芯片面积却分别提升了 2 倍~8 倍，晶体管数量也达到了 337 亿、570 亿和 1140 亿，在消费级处理器领域处高水平。

图 10：苹果 M1-M1 Ultra 芯片面积



资料来源：电脑爱好者公众号，天风证券研究所

2 颗 Apple M1 Max 芯片之间通过苹果创新定制的多晶粒架构“连在一起”，官方将这种连接架构命名为“UltraFutl/On”，该架构拥有 1 万多个信号点，芯片相互之间的数据传输速率高达 2.5TB/s，延迟和功耗都非常低。1 颗 Apple M1 Max 的晶体管数量就是 570 亿，由 2 颗 M1 Max 缝合而来的 M1 Ultra 晶体管数量也首次突破千亿大关，达到了 1140 亿，整颗芯片上的统一内存最高可以达到 128GB，内存带宽也进一步提升至 800GB/s。

表 1：苹果 M1-M1 Ultra 芯片性能

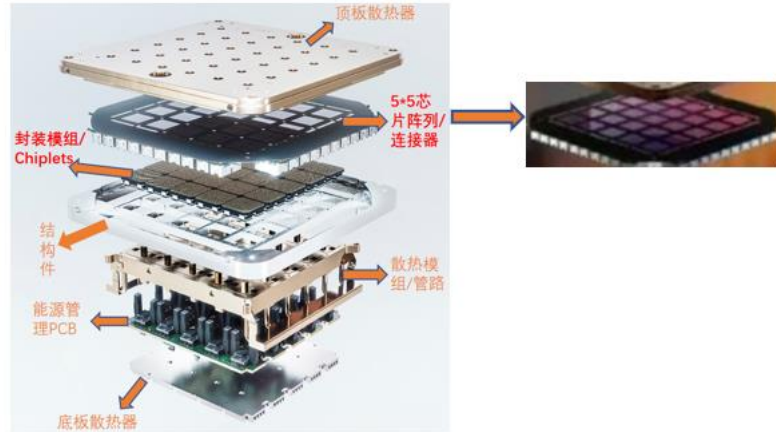
型号	晶体管数	CPU	GPU	统一内存	内存带宽
Apple M1	160 亿	4+4	7 或 8	16GB	68GB/S
Apple M1 Pro	337 亿	6+2 或 8+2	14 或 16	32GB	200GB/S
Apple M1 Max	570 亿	8+2	24 或 32	64GB	400GB/S
Apple M1 Ultra	1140 亿	16+4	48 或 64	128GB	800GB/S

资料来源：电脑爱好者公众号，天风证券研究所

Chiplet 突破案例：在自动驾驶领域，特斯拉利用同构扩展将其 AI 专用训练平台 Dojo 的

性能推向了极致。 Dojo 是特斯拉针对自身自动驾驶 AI 训练场景所设计的 AI 专用训练平台，其技术核心芯片就是特斯拉自研神经网络训练芯片“D1”。每个 D1 芯片以 7nm 工艺制造，包含 500 亿个晶体管，面积 645 mm²。而每个 Dojo 则将 25 个 D1 训练模块和 40 个专用 I/O 集成在一起，从而实现超大算力支持。Dojo 是目前全球最快的 AI 训练计算机。相比业内其他芯片，同成本下性能提升 4 倍，同能耗下性能提高 1.3 倍，占用空间节省 5 倍。

图 11：特斯拉 Dojo 核心芯片



资料来源：佐思汽车研究公众号，奇异摩尔公众号，天风证券研究所

1.3. 设计&制程突破：模块化拆分优化设计，超异构打开想象空间

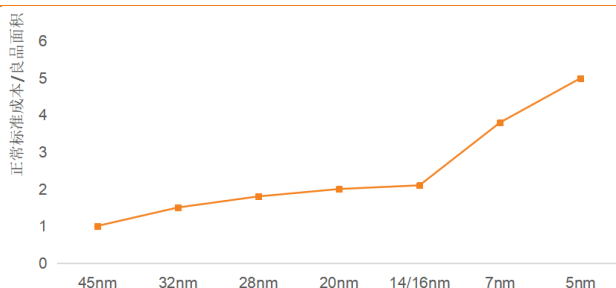
(1) 设计方面：IP 复用提升设计效率，节省设计阶段的研发投入

(2) 制程方面：突破摩尔定律放缓的局限，特别是对于我国来说，可以缓解先进制程被限制的压力

(3) 超异构方面：助力提供异构混合、相互协同的处理器解决方案，平衡性能和灵活性。

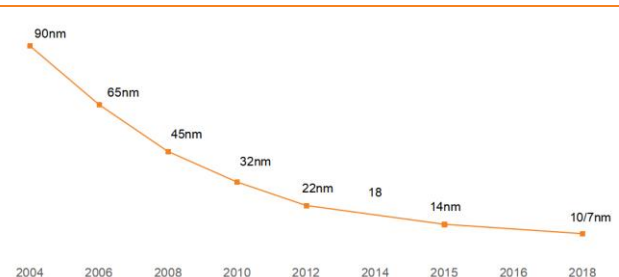
瓶颈：先进制程芯片设计成本高昂，单位面积成本在 14/16nm 后陡增，且摩尔定律不断放缓。根据奇异摩尔，随着制程从 28nm 制程演变到 5nm，研发投入也从 5130 万美元剧增至 5.42 亿美元，2nm 的开发费用接近 20 亿美元，先进制程已然成了全球巨头的烧钱竞赛。根据 EETOP 公众号，在 7nm 节点，设计一款芯片的费用高达 3 亿美元。且伴随摩尔定律不断放缓，晶体管同时逼近物理极限、成本极限。

图 12：先进制程芯片的单位面积成本增加（亿美元）



资料来源：车东西公众号，AMD，天风证券研究所

图 13：摩尔定律不断放缓



资料来源：车东西公众号，AMD，天风证券研究所

芯片制程并非“越先进越好”。在一颗 SoC 中，逻辑计算单元（CPU/GPU）通常依赖于先进制程来提升性能，而其他部分（SRAM、I/O 接口、模拟或数模混合元件等）对于制程工艺的要求并不高。把这些对制程要求不同的模块用同样的先进制程一体化制造会带来浪费。各类主要芯片制程要求如下：

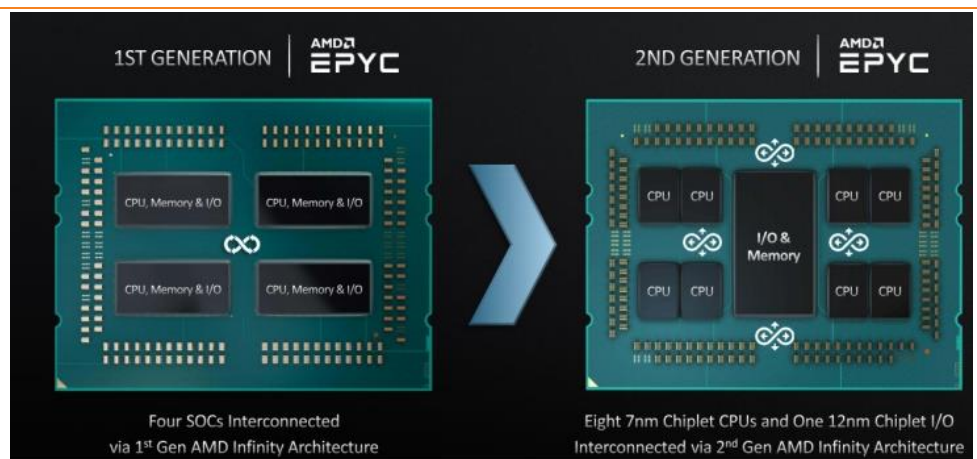
逻辑芯片——3nm 节点：制作工艺复杂，如 CPU、GPU、AI、MCU。受益于先进制程技术的进步，逻辑芯片依然沿着摩尔定律向前演进，当前台积电 3nm 已量产。

存储芯片——18/16nm 节点：与逻辑芯片相比，内部结构相对简单，主要分为 DRAM、NAND Flash、NOR Flash 三类。以 DRAM 为例，当制程到了 18/16nm 以下，继续缩减尺寸已不再具备成本和性能方面的优势。

模拟芯片——28-65nm 节点：参与感知信息处理的芯片就是模拟芯片，无法感知但客观存在的模拟信号处理芯片，比如微波、电信号处理芯片等，也属于模拟范畴。模拟芯片不受制于摩尔定律和高端制程，强调高信噪比、低失真、低功耗、高可靠性和稳定性，业界普遍认为 28nm~65nm 为其性能最优节点，制程的缩小反而可能导致模拟电路性能的降低；而被广泛地应用在 IoT 领域的传感器和光电器件，则因为工艺不同，无法集成到 CMOS 中。

Chiplet 突破案例：AMD 的 EPYC 处理器为 Zen2 架构，是典型的异构集成的案例。在第一代 EPYC 中，处理器由 4 个 14nm 工艺的小芯片组合而成。第二代 EPYC 为 Zen2 架构，处理器由 4 组共八个 7nm 小芯片和一个 14nm 的 I/O 芯片组合而成。8 组 CPU 核心、1 组 I/O 核心堆出了 64 核处理器。

图 14：Zen1 到 Zen2“异构集成”设计变化



资料来源：大半导体产业网，SEMI 公众号，锐杰微科技集团总裁刘海川，天风证券研究所

Chiplet 异构下 7nm 工艺+I/O 分离大幅降低核心面积，加倍缓存降低延时。从 AMD 公开的数据来看，7nm 工艺带来了明显的计算效率，包括 2 倍的晶体管密度、功耗降低 50%（同性能下），性能提升了 25%（同功耗下）。在 Zen 2 架构中，一个 Chiplet 芯片的总面积仅 74mm²，其中 CCX+16MB L3 缓存的核心面积仅 31.3mm²，同比减少了 47%，一方面是因为 7nm 工艺的密度优势，一方面也与 Zen2 的 CCX 只有 CPU 核心减少了 I/O 单元有关。这里也可以解释为了降低延迟 AMD 为什么敢于大幅加倍 L3 缓存的原因了，每个 CCX 翻倍到 16MB L3 缓存后 CCX 核心面积依然减少一半左右。

此外芯片配置也非常灵活，I/O Die12nm 工艺降低成本。提升 CPU 核心数量就堆 CPU 模块即可，因此锐龙处理器可以从 8 核 16 线程轻松变成 16 核 32 线程。此外，AMD 这样做也需要生产小核心，提高了良率，降低了成本，而且 I/O 核心使用的还是更成熟的 12nm 工艺，进一步削减了成本。

Chiplet 突破案例：英特尔使用其 Foveros 3D 堆叠技术发布了 Ponte Vecchio GPU 助力 Aurora 超级计算机，Aurora 超级计算机旨在成为美国首批突破 exaflop 障碍的高性能计算机之一。Ponte Vecchio 是一个结合了多个计算、缓存、网络 and 内存硅片的封装。

Ponte Vecchio 由多达 47 个 Chiplet/（方格 tile）通过横、纵向封装与其他模块（Tile）连接构成，集成超过 1000 亿个晶体管，是特斯拉 D1 的 2 倍。47 个小晶粒分别是 16 个 Xe HPC（又叫 Compute Tiles 计算核）内核、8 个 Rambo、2 个 XeBase、11 个 EMIB、2 个 XeLink、8 个 HBM2。这 47 个小晶粒分别来自台积电、三星和英特尔三个厂家，Compute 来自台积电，采用台积电 5 纳米工艺。封装中的每块 tile 都是使用不同的工艺技术制成。Co-EMIB 芯片将高带宽内存和 Xe Link I/O 小芯片横向连接到“基础芯片”，其他芯片采用

其 Foveros 3D 堆叠技术，在两个芯片之间建立了密集的芯片到芯片的垂直连接阵列。

图 15：英特尔超算芯片 Ponte Vecchio 结构



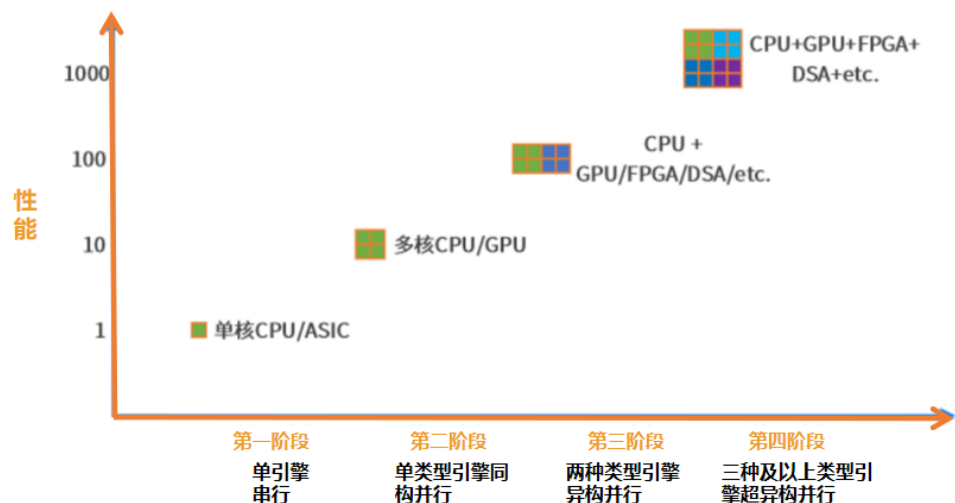
资料来源：佐思汽车研究院公众号，天风证券研究所

Chiplet 助力超异构应用：

单一的处理单元无法兼顾性能和灵活性是行业痛点。CPU 通用灵活性是最好的，但是如果 CPU 性能不足，就需要运行各种加速。而当前很多芯片的优化方案，特别是 AI 芯片等加速芯片的优化方案损失了灵活性，是目前行业的痛点之所在。

Chiplet 助力提供异构混合、相互协同的解决方案，带来算力指数级提升，使得 Chiplet 的价值得到更加充分的发挥。2019 年，英特尔提出超异构计算相关概念：XPU 是架构组合，包括 CPU、GPU、FPGA 和其他加速器（即图中第四阶段）。超异构计算在传统的异构计算基础上，通过更强大的模块化 Chiplet 能力，封装互连能力和软件能力，将越来越复杂的系统整合成了宏系统芯片 MSOC（Macro-System on Chip）。

图 16：处理器异构集成发展



资料来源：硬核芯时代公众号，天风证券研究所

基于超异构计算的架构创新正在成为芯片巨头们的未来驱动力。通过一连串的收购和自研行为，全球三大处理器头部厂商都在向 CPU+GPU+FPGA/NPU 的方向靠拢，构建超异构计算体系。NVIDIA 拟收购 Arm，其目的在于增强其服务器 CPU 能力，虽然最终未能收购成功，NVIDIA 仍获得了未来 10 年 Arm 开发授权。AMD 对赛灵思的收购，也释放出强化异构计算布局的信号，成功弥补了 FPGA 短板。同时，赛灵思在异构计算上也有所积累，已

推出 Versal ACAP 异构计算平台，以缩短车载多传感器同步和融合所带来的系统整体响应时间。

1.4. 地缘政治影响下，Chiplet 加持中国自主产业链的构建

站在中国的视角看，美国政府对我国半导体产业打压已久，先进制程突破及算力问题亟待解决，Chiplet 在一定程度上拉近了与国际先进厂商的起跑线，中国有机会突破限制问题，实现弯道超车。2019 年以来对华为打压开始，本土芯片企业在芯片制程的关键节点持续受限，迫使我国本土芯片国产化进入加速期。

表 2：美国政府对我国半导体产业制裁已久

	时间	事件
对华为打压	2019 年 5 月 15 日	商务部宣布华为加入实体名单
	2020 年 5 月 15 日	限制华为使用美国技术设计和生产的产品
	2020 年 8 月 17 日	进一步限制华为获取美国技术
中芯国际制造 14nm 及以下芯片受阻	2020 年 12 月 21 日	中芯国际被列入实体名单，限制获取美国技术
	2022 年 7 月 1 日	路透社援引五位知情人士的报道称，美国商务部正在研究禁止向中国公司出口芯片制造工具的可能性，即使用 14nm 制造节点和其他制造节点制造逻辑芯片。目前，中国唯一一家使用其 14nm 制造工艺生产芯片的公司是中芯国际，该公司在 2019 年底实现了 14nm 级芯片的量产。
打压中国半导体制行业	2022 年 8 月 9 日	国会通过《2022 年芯片与科学法案》，计划未来五年提供合计 527 亿美元的政府补贴，且禁止获得补贴的企业 10 年内在其他国家进行实质性扩张
限制 EDA 与第四代半导体材料出口	2022 年 8 月 12 日	对四项“新兴和基础技术”纳入新的出口管制。包括两项被称做“第四代半导体材料”的氧化和金刚石；开发 GAAFET(全场效应晶体管)结构集成电路必需的 ECAD(电子计算机辅助设计)软件。
断供高性能 GPU	2022 年 8 月 31 日	美国限制对中国出口高性能 GPU，后发布授权至 2023 年 9 月 1 日。
进一步加深先进计算和半导体制造相关的对华出口管制	2022 年 10 月 7 日	进一步限制与先进计算和半导体制造相关的对华出口管制，在商业管制清单(CCL) 中增加了某些半导体制造设备和相关项目。针对半导体制造，特别指明了三类技术：(1)16/14 或非平面晶体管（指 FFET 或 GAA、或更先进的晶体管架构）的逻辑芯片 (2)128 层或以上的 NAND 存储器、(3)18nm 半节距或以下的 DRAM 存储器。
对超算领域及相关实体的限制	2023 年 3 月 2 日	BIS 将浪潮集团、龙芯中科、第四范式、盛科通信等 29 家中国实体列入实体清单（删去被）。其中浪潮、龙芯同时被列入脚注 4 实体（即涉及先进计算类芯片与超级计算机的实体），将限制其获取 18 类软件和技术

资料来源：美国商务部工业和安全局（BIS）新闻发布中心，上海市集成电路行业协会公众号，机器之心公众号，云头条公众号，观察者网公众号，天风证券研究所

(1) 首先，由于 Chiplet 独特的开发模式使得芯片创新的“卡点”从工艺转到系统集成，因而能够发挥中国在应用创新的优势，为光刻机受制于人带来缓冲期。中国计算机互连技术联盟（CCITA）秘书长在接受采访时曾表示，中国可以使用成熟的 28 纳米节点生产的芯片，并将小芯片封装成性能和功能更强大的芯片，与先进的 16 纳米甚至 7 纳米产品相当。

(2) 另外，Chiplet 在制造环节的核心是“先进封装”技术，国内 Chiplet 封装产业技术积累深厚，有望与掌握先进制程国家同步受益甚至实现换道超车。中国拥有在封装环节的行业龙头代表企业如长电科技、通富微电、华天科技等均已实现 Chiplet 量产，能够引领带动国内 Chiplet 的发展。根据 ittbank 数据，2021 年全球营收前十大封测厂商排名中，长

电科技、通富微电和华天科技三家中国大陆企业在榜。

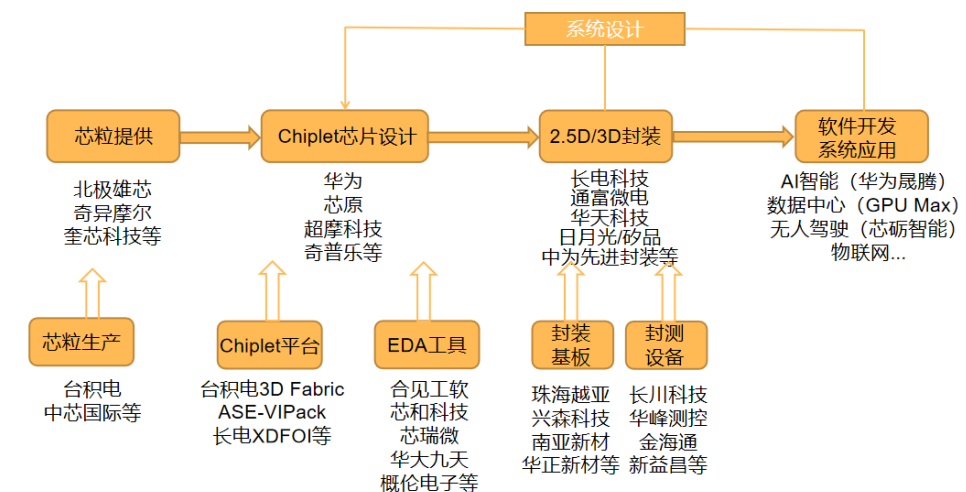
2. 产业革新：设计+先进封装实现高速互联，产业链价值迎来重构

2.1. 产业环节：Chiplet 革新半导体产业生态

从产业链各环节来看，Chiplet 革新半导体产业生态，芯片设计和封装或处于链条中心环节，Omdia 预估 2024/2035 年全球市场规模达 58/570 亿美元。Chiplet 发展涉及到整个半导体产业链，是一场生态变革，会影响到从 EDA 厂商、晶圆制造和封装公司、芯粒 IP 供应商、Chiplet 产品及系统设计公司到 Fabless 设计厂商的各个环节的参与者。在分工上，当前由于产业规模尚未起量，企业边界较为模糊，大多数会跨越多个环节，例如国内的奇异摩尔、北极雄芯、奎芯科技在提供芯粒方案同时也涉及芯片设计服务。据 Omdia 报告，2024 年 Chiplet 的市场规模将达到 58 亿美元，2035 年则会超过 570 亿美元，Chiplet 的全球市场规模将迎来快速增长。

从产业链整体分工来看，发展初期企业边界较为模糊，Chiplet 的平台是竞相布局的焦点。例如上文提到的一些企业既提供芯粒方案也涉及芯片设计服务，而 Chiplet 芯片设计企业的芯粒主要是自己提供，如 AMD、华为、芯原微等；Chiplet 的平台是竞相布局的焦点，不论是芯片设计服务企业（如奇异摩尔）、封装企业（如长电、日月光等），还是 EDA 工具（如概伦电子、华大九天等）企业都有所涉及，在为自身研发服务的同时，未来有机会成为行业通用平台。

图 17：Chiplet 产业链



资料来源：力合产研公众号，天风证券研究所

（1）设计环节：产品良率提升、开发成本降低，先进制程要求降低。Chiplet 降低了对先进制程的需求，能够降低大规模芯片设计的门槛，同时降低制造成本，提升芯片良率。

（2）EDA 环节：新 EDA 平台诉求促进价值提升。EDA 企业方面，直接套用原来的 EDA 工具很难发挥出 Chiplet 真正优势。Chiplet 需要一个新的 EDA 平台，在架构、物理实现、分析及验证等方面都要适应 Chiplet 的需求，从“系统设计”到“签核”做出重构。

（3）IP 环节：IP 供应商在产业链中的重要性上升，需要其提供高速互联 IP，帮助设计厂商加快产品迭代速度。

（4）制造环节：良率提升，成本降低，小芯片和硅转接板（silicon interposer）的使用增加带来价值增量。工艺迭代方面，Chiplet 迭代周期远低于 ASIC，可提升晶圆厂的产线利用率。工艺制程方面，Chiplet 可以降低对先进工艺制程的依赖，实现与先进工艺相接近

的性能。大幅提高芯片的良率、提升晶圆面积利用率，进一步降低制造成本。先进封装中使用的硅转接板为晶圆厂制造，故会带来价值量的提升。

(5) 封测环节：先进封装驱动下，封测环节价值量显著提升。Chiplet 核心在于高速互联，对封装工艺提出更高要求，特别是专注于提升封装体的复杂度和集成度的先进封装。从同构小芯粒集成到同构扩展再到异构集成。SoC 分解为芯粒使得封装难度陡增，互联封装需要保障芯粒连接工艺的可靠性、普适性，实现芯粒间数据传输的大带宽、低延迟。根据 YOLE，先进封装市场预计 2019-2025 年复合年增长率为 6.6%，2025 年将达到 420 亿美元。其中 2.5D/3D 堆叠 IC、ED 和 FO 是增长最快的技术平台，复合年增长率分别为 21%、18% 和 16%。

测试环节方面，小芯片数量增多，并行 Die-to-Die 接口基本上都包含了大量的（上千个）IO 引脚，来驱动跨 Chiplet 的单端信号，测试中需要使用边界扫描(Boundary Scan)测试才能确保多个裸芯互联的可靠性，Chiplet 或提升测试难度及测试工作量。

封装测试设备环节方面，伴随下游芯片封测数量、价值量提升，有望迎来需求起量。

(6) 材料环节：Chiplet 的应用会增加封装载板的用量。用于高端产品的载板层数多，面积大，线路密度高，通孔小，将推动以 ABF 作为积层绝缘介质材料的 ABF 载板用量。

从技术实现角度看，Chiplet 本质上是一个基础设计方法论，通过设计实现互联优化集成、通过先进封装实现物理连接。据甲子光年报道，一位 Chiplet 领域的投资人透露，Chiplet 的发展 30%靠设计方法的改变，70%依靠封装技术的进步。厂商利用先进封装、互联设计及 Chiplet 芯粒，进行片间和片上互联优化集成，来为芯片设计提供价值。因此互联设计和先进封装是其中两个重要的技术实现方式。以下从设计环节和封测环节分别介绍：

2.2. 设计环节：高速互联设计实现各模块“Chiplet 化”

设计公司需要以“模块化”思路设计产品，并将产品各模块“Chiplet 化”。在一颗以 Chiplet 为概念设计的大芯片里，有运算和 CPU 相关的芯片，还有很多非核心运算相关的模块。

非核心运算相关的模块方面，模拟、通信，接口类，这类模块不需要采用最先进的制程，需要将其放在在非先进制程的 base die/I/O Die 里，base die/I/O Die 需要高速互联 IP，并把把这些模块集成一颗整个大的芯片。

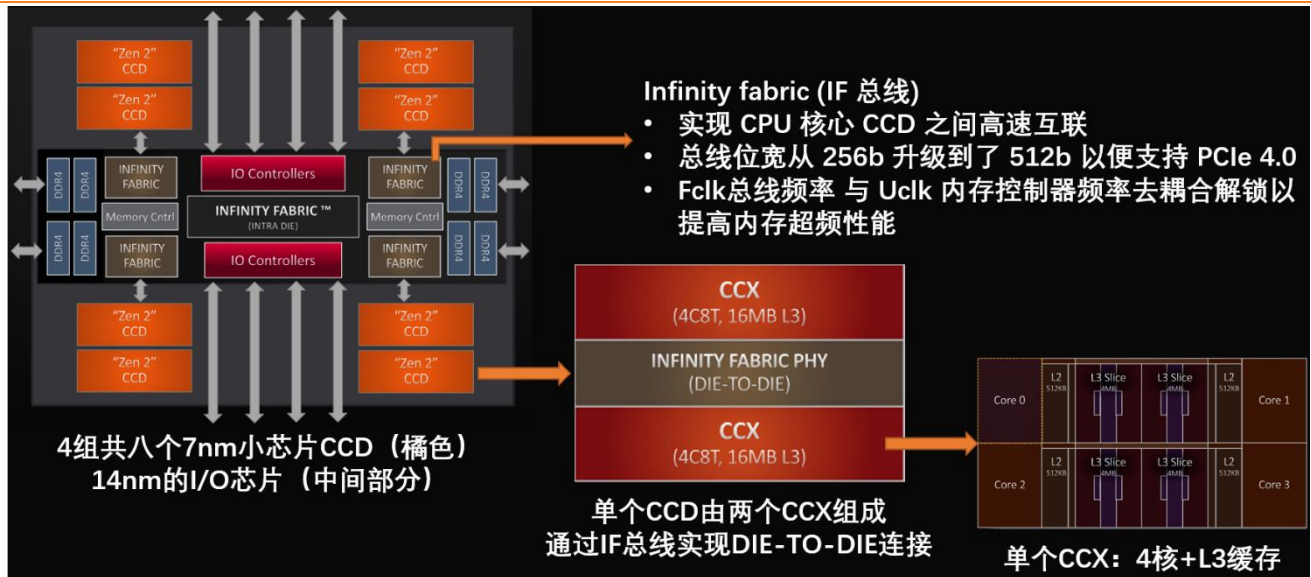
核心运算相关的模块如 CPU，竞争力表现为其整体的核数、线程数、片上缓存、整体跑分数的提升，同时还获得了整个产品量产和开发成本大幅降低，采用 Chiplet 架构设计 CPU，可以直接获得产品本身的良率、开发成本、集成度和整体性能的提升。

以 AMD ZEN2 架构的 I/O 互联和 CPU 设计为例：

核心运算相关模块方面（7nm），Zen2 架构将内存 I/O 主控分离节约面积，L3 缓存翻倍，7nm 制程密度优势显著，每个 CCX 单元的 L3 缓存容量从之前的 8MB 提升到了 16MB，对延迟敏感的应用就可以更多地依赖 L3 缓存而内存，AMD 称此举使得等效内存延迟减少了 33ns，游戏性能提升了 21%；Infinity Fabric 总线（简称 IF），连接 Zen 架构中的 CCX 模块，实现 Die to Die 的互联。

其他非核心模块方面（14nm），AMD 改进 Infinity Fabric 总线，用于链接不同的 CPU、I/O 核心模块。在锐龙 3000 处理器上，IF 总线进化到了第二代，在并行、延迟及能效上全面改进，总线位宽从 256b 升级到了 512b 以便支持 PCIe 4.0，同时将 Fclk 与 Uclk 频率去耦合解锁以提高内存超频性能，并采取多种方式降低内存延迟、提高缓存速度以减少延迟带来的影响。

图 18：AMD Zen2 架构中 I/O Die 与 Die to Die 的互联方案及片上缓存性能的提升



资料来源：车东西公众号，AMD，天风证券研究所

2.3. 封装环节：国内厂商布局加速，有望受益价值量提升+周期复苏双逻辑

2.3.1. 从 2D 封装到 3D Chiplet：先进封装价值量不断提升

封装演进的本质是在成本可控的情况下尽可能提升互联的密度与速度,从 2D 封装到 2.5D Chiplet、3D Chiplet，封装环节价值量&重要性不断提升。

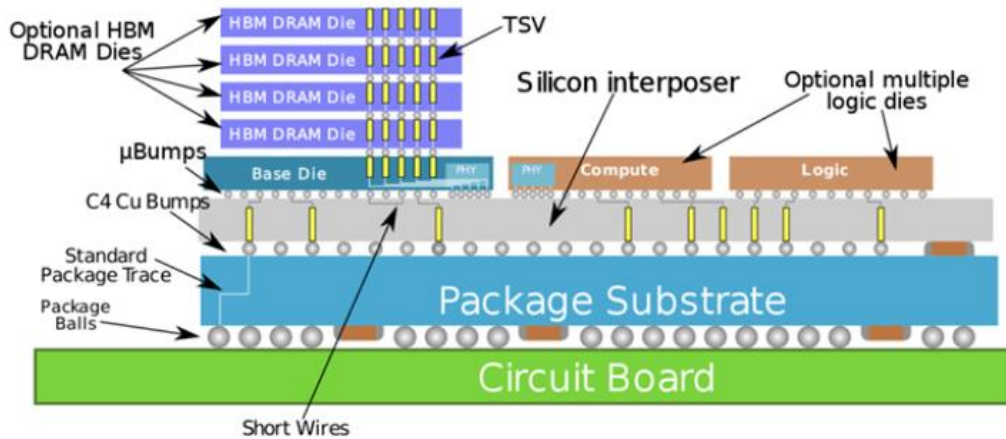
Chiplet 从横向集成发展到纵向堆叠，2D 封装不再能满足高性能需求。Chiplet 首先在平面维度对芯粒进行集成，随着市场越来越多元化，人工智能、大数据、云计算等应用相继兴起，都希望有更高的运算速率，更高的带宽，更小体积，2D 封装如 SiP(System in Package) 和 SoB(System on Board)，由于是普通封装和板级的工艺，布线密度受限，导致整个产品带宽受限，尺寸偏大。芯片在 2D 层面的微缩已不能满足性能提升诉求，2.5D Chiplet、3D Chiplet 才是未来提升系统效能、缩小芯片面积、整合不同功能的发展趋势。

(1) 2.5D Chiplet：interposer 及 TSV 等提升封装价值量

2.5D Chiplet 的核心是多芯片/芯粒通过高密度的介质互联集成。按照互联方式不同主要有 CoWoS、EMIB 等。在 2.5D 封装中，芯片并排放置在中介层(interposer)顶部，通过芯片的微凸块(uBump)和中介层中的布线实现互连。中介层通过硅通孔(TSV)实现上下层的互连，再通过锡球(C4)焊接至传统 2D 的封装基板上。

中介层、硅通孔在实现 2.5D Chiplet 中扮演着关键角色，助力封装价值量提升。1) 中介层是一种由硅和有机材料制成的硅基板，是先进封装中多芯片模块传递电信号的管道，可以实现芯片间的互连，也可以实现与封装基板的互连，充当多颗裸片和电路板之间的桥梁。2) 硅通孔是 2.5D 封装解决方案的关键实现技术，是在晶圆中填充以铜，提供贯通硅晶圆裸片的垂直互连，用最短路径将硅片一侧和另一侧进行电气连通。

图 19：中介层和中介层通孔



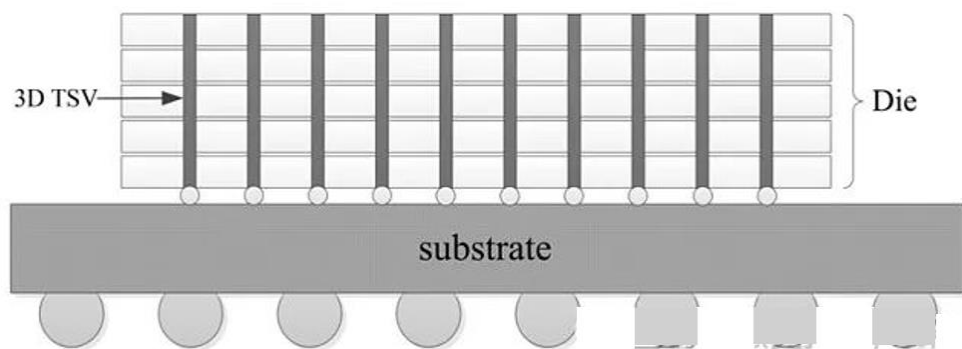
资料来源：艾邦半导体网公众号，天风证券研究所

（2）3D Chiplet：TSV 工艺难度高，性能大幅提升在处理器领域率先应用

相较于 2.5D Chiplet，3D Chiplet 直接将芯片堆叠，涉及硅通孔工艺难度高，在处理器和存储方案中有较多应用。与 2.5D Chiplet 技术主要区别在于，2.5D Chiplet 是在中介层 Interposer 上进行布线和打孔，而 3D Chiplet 是直接在芯片上打孔和布线，通过 TSV 技术电气连接上下层芯片。挑战在于要在芯片内直接制作硅穿孔困难度极高，但由于高效能运算、人工智能等应用兴起，叠加 TSV 技术愈来愈成熟，可以看到越来越多的 CPU、GPU 和记忆体开始采用 3D Chiplet。

主流的 3D Chiplet 技术包括 CoW 和 WoW 等，大幅提升芯片性能、能耗比及良率。WoW（Wafer on Wafer）技术实现方式为将多个芯片堆叠起来，从以往的 2.5D Chiplet 在晶圆上水平放置模块的方式，改为垂直放置两个或以上的模块。通过 WoW 技术，可以把更多的模块放到相同面积的晶圆中，并能使每个芯片以极高的速度和极低的延迟通信，从而实现芯片性能和能耗比的全面提升。CoW（Chip on Wafer）技术是一种在硅晶圆上堆叠 Chiplet 的技术，它将多个 Chiplet 通过封装制程连接至硅晶圆。采用 CoW 设计的芯片，生产上会更加成熟，良率也会得到大幅提升。

图 20：3D 封装示意图



资料来源：旺财芯片公众号，天风证券研究所

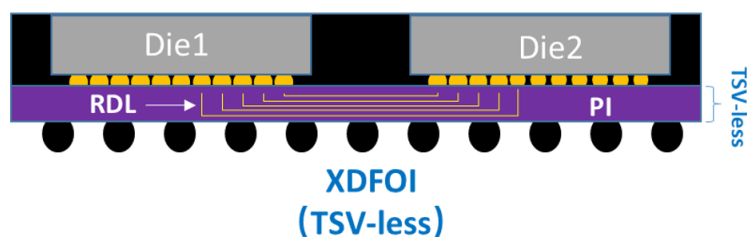
2.3.2. 国内头部厂商：实现 Chiplet 产品量产，掌握核心工艺

产业分工角度看，晶圆厂与封装厂工艺各有优势，供应链分工角度考虑封装厂业务份额有望提升。2.5D Chiplet 和 3D Chiplet 中涉及到的许多技术是前段工艺的延续，而晶圆厂在前段环节是有技术优势的，比如硅转接板封装的制造。而后道封装厂商的优势在于异质异构的集成（即互联部分），同时也在 2.5D 和 3D 后道封装领域有较高的经验积累和技术壁垒，当前长电科技、通富微电、华天科技三家企业均已实现 Chiplet 产品量产。另外，根据长电科技技术市场副总裁包旭升采访，从供应链角度考虑，大多客户更期待专业化的分工，希望晶圆厂专注做好芯片，封装单独由其他厂商来做。

当前国内长电科技、通富微电和华天科技三家国内头部封测厂商均具备 chiplet 量产能力，长电科技在 TSV-less、RDL 等技术方面有所布局，通富微电推出融合了 2.5D、3D、MCM-Chiplet 等技术的先进封装平台——VISIONS，华天科技推出由 TSV、eSiFo、3D SiP 构成的最新先进封装技术平台——3D Matrix，预期未来将受益于封装价值量的提升。

长电科技推出的面向 Chiplet 小芯片的高密度多维异构集成技术平台 XDFOI™可实现 TSV-less 技术，达到性能和成本的双重优势。该技术是一种以 2.5D TSV-less 为基本技术平台的封装技术，在线宽/线距可达到 2um/2um 的同时，还可以实现多层布线层、2D、2.5D 和 3D 多种异构封装。相比 2.5D TSV 封装，具有有效成本低、架构设计灵活，性能好与可靠性高的特点，可为 Chiplet 及异构封装提供解决方案。此外，长电科技还推出了无硅通孔扇出型晶圆级高密度封装技术，使用 Stacked VIA 替代 TSV，可实现多层 RDL 再布线层，2/2 μm 线宽间距，40 μm 级窄凸块互联，多层芯片叠加，集成高带宽存储，集成无源元件等技术，未来，它还可以实现 1/1 μm 高密度的线宽间距以及 20 μm 极窄凸块互联。

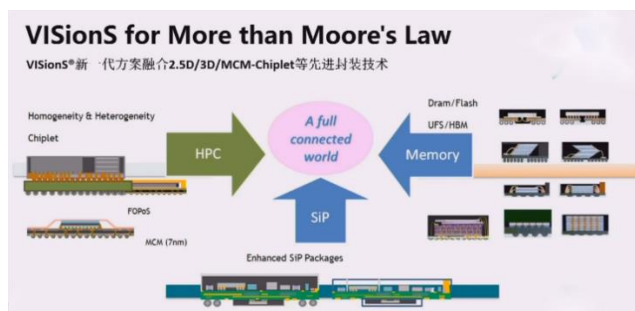
图 21：长电科技 XDFOI 技术



资料来源：长电科技公众号，天风证券研究所

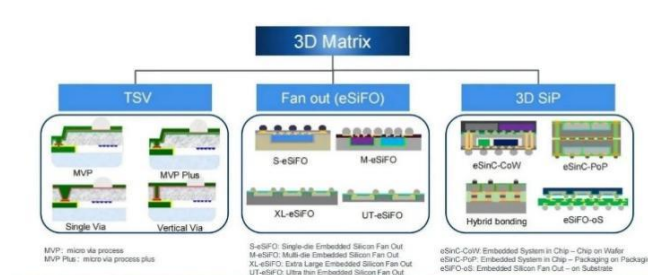
通富微电与华天科技分别推出针对先进封装的技术平台，为先进封装提供新的解决方案。通富微电在高性能计算领域建成了国内顶级 2.5D/3D 封装平台 (VISIONS)，并且完成高层数再布线技术开发，同时可以为客户提供晶圆级和基板级 Chiplet 封测解决方案。华天科技推出由 TSV、eSiFo、3D SiP 构成的最新先进封装技术平台——3D Matrix。其中 TSV 技术主要应用于影像传感器的封装，主要结构为 MVP、MVPPlus 和直孔的工艺，目前主推直孔工艺；3D SiP (eSinC) 基于 eSiFO 结合 TSV 技术，该技术在硅基板上刻蚀形成凹槽，将不同芯片或元器件放入凹槽中，通过高密度 RDL 将芯片互连，形成扇出的 I/O 后制作 via last TSV 的方式实现垂直互连，可以将不同功能、不同种类和不同尺寸的器件实现 3D 方向高密度集成。

图 22：通富微电 VISIONS 平台



资料来源：未来半导体公众号，天风证券研究所

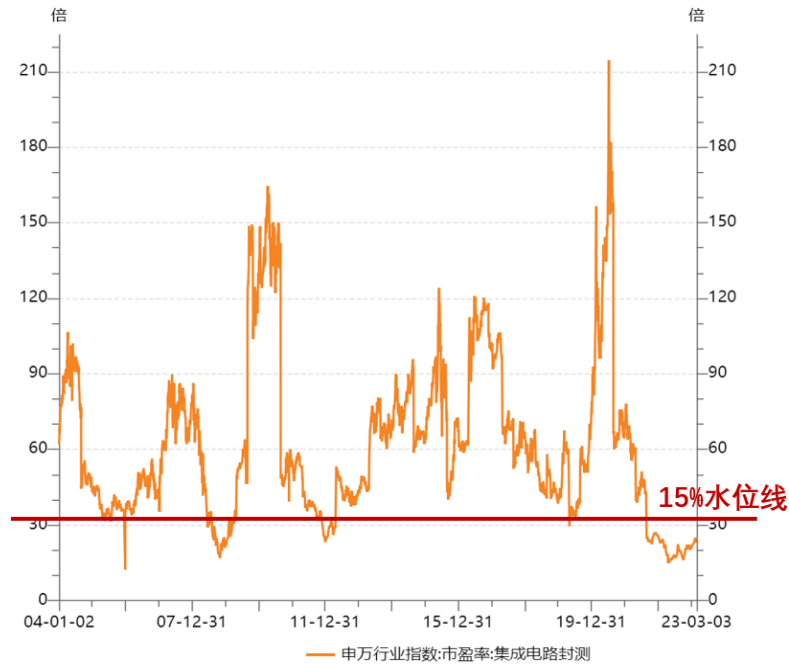
图 23：华天科技 3D Matrix 平台



资料来源：未来半导体公众号，天风证券研究所

封测板块估值处历史相对低位，下行预期或已被市场消化，Chiplet 推动下封测行业估值体系或迎来重构。复盘封测板块历史估值，当前 PE 处于历史相对低位，低于 15%水位线，周期底部有望复苏。此外，Chiplet 对高速互联的核心需求对封测行业推动作用是具有颠覆性的，不仅仅是技术的迭代，更是产业链价值的重塑和估值体系的重构。

图 24：封测板块估值处历史相对低位



资料来源: Wind, 天风证券研究所

3. 应用场景：高性能计算（HPC）为主战场

高性能计算（HPC）通过聚合计算能力提供强大的计算性能，目的是以极高速度处理大量负载数据，如支持 ChatGPT 的应用等。高性能计算能够通过聚合结构，使用多台计算机和存储设备，以极高速度处理大量数据，有一些负载（例如 DNA 测序）对于任何一台计算机来说都过于庞大。如 ChatGPT 是大数据+大模型+大算力的产物，每一代 GPT 模型的参数量高速增长，根据人工智能学家公众号数据，2019 年 2 月发布的 GPT-2 参数量为 15 亿，2020 年 5 月发布的 ChatGPT 的前身 GPT-3，其参数量达到了 1750 亿（预训练数据量达 45TB，远远大于 GPT 2 的 40GB）。算力需求方面，训练 ChatGPT 所耗费的算力大概是 3640 PetaFLOPs per day，即用每秒能够运算一千万亿次的算力对模型进行训练，需要 3640 天完成。随着科技巨头类 ChatGPT 项目入局，整体在算力提升、数据存储及数据传输端需求迭起。

Chiplet 满足 HPC 的定制硬件需求，助力 HPC 芯片算力&性能的提升。Chiplet 将模块化设计引入半导体制造和封装。这个创新可以视作将芯片的硅从概念上转变为服务器的“主板”。该硅主板可容纳经过优化的定制计算、网络、IO 和内存 chiplet 硬件，以最好地支持应用程序需求。定制设计意味着 HPC 数据中心可以指定非常密集、非常接近的数据计算设备，借助 Chiplet 架构，HPC 架构师可以指定其应用程序的定制硬件需求，并将这些标准传递给设计人员和 HPC 供应商，以获得计算、内存和 IO 的最佳组合，以支持其工作负载。美国正在开发的三个超级计算机 Aurora、El Capitan 和 Frontier，CPU 和 GPU 利用 Chiplet 方案，在其中混合和匹配芯片并将其集成至封装中。

图 25：Chiplet 助力服务器算力提升&性能优化

公司	Chiplet 封装技术芯片	助力服务器提升算力优化性能
华为	2019 年推出基于 Chiplet 技术的 7nm 鲲鹏 920 处理器	推出基于鲲鹏920的TaiShan系列服务器产品，包括均衡型，存储型和高密型三个机型。TaiShan系列为企业构建高性能、低功耗的新计算平台；例如大数据场景，实现了多核高并发和资源调度调优，计算性能提升20%
AMD	2021 年 6 月发布基于台积电 3D Chiplet 封装技术的第三代服务器处理芯片	发布会中所展示的AMD Ryzen 95900x处理器就运用了3D Chiplet封装技术
	2022年 3 月推出 Milan-X CPU	新华三集团同步适配AMD Milan-X的服务器既包括了面向现代化数据中心虚拟化工作负载的H3C UniServer R4950 G5，聚焦人工智能创新应用的R5500 G5 GPU服务器，同时也涵盖了 HPE ProLiant DL325/385 Gen10 Plus v2以及DL365 Gen10 Plus 等针对不同需求和场景推出的算力基础设施，能够全面覆盖不同行业和领域的用户算力需求
英特尔	2019年发行Intel Stratix 10 GX 10M FPGA	在性能、能效、密度和系统集成方面都具有创新优势，采用变革性的英特尔® Hyperflex™ FPGA 架构，并结合英特尔 EMIB 专利技术、AIB 和不断壮大的芯粒产品组合，性能比上一代高性能 FPGA 提升高达 2 倍。

资料来源：新华三官网，第一财经，英特尔官网，芯智讯，半导体芯闻公众号，天风证券研究所

受制于面积、散热问题的因素，当前 Chiplet 或不适用于手机笔记本电脑等消费类应用。手机方面，高通的核心是手机市场，车载和笔记本电脑都是手机的延伸，手机领域或暂不会使用 Chiplet，主因 Chiplet 的封装基板面积大，不适宜手机内使用。此外，芯粒之间的互联特别是 2.5D、3D 先进封装会带来电磁干扰、信号干扰、散热、应力等诸多复杂物理问题，可能暂不适用于消费类产品的应用。

4. 投资建议

我们看好 Chiplet 重塑半导体产业格局，为我国半导体产业带来换道超车的发展机遇。建议关注：

(1) 封测板块：长电科技、通富微电、华天科技等

(2) 测试板块：伟测科技、利扬芯片等

(3) IP 板块：芯原股份、润欣科技等

(4) EDA 板块：华大九天、概伦电子等

(5) 封装测试设备板块：长川科技、华峰测控、金海通、新益昌等

(6) 材料板块：兴森科技、南亚新材、华正新材、方邦股份、德邦科技、和林微纳、联瑞新材等

表 3：各业务板块 Chiplet 相关标的

业务板块	公司名称	相关业务
封测	长电科技	采用通过 Chiplet 异构集成技术完成的 XDFOI™ Chiplet 高密度多维异构集成系列工艺，已按计划进入稳定量产阶段
	通富微电	公司在多芯片组件、集成扇出封装、2.5D/3D 等先进封装技术方面均提前布局，为客户提供多样化的 Chiplet 封装解决方案，并且已经开始大规模量产 Chiplet 产品。
	华天科技	公司开发了 3D FO SiP 封装技术，完成应用于高性能计算的大尺寸 HFCBGA 产品。公司已量产 Chiplet 产品，主要应用于 5G 通信、医疗、等领域。
测试	伟测科技	积极布局高端测试，我们预计其或可受益 Chiplet 带来的测试需求
	利扬芯片	Chiplet 将对芯片的测试提出更高要求，第三方专业独立测试的优势将进一步突显，公司在积极布局 Chiplet 时代的测试难题

IP	芯原股份	中国大陆首批加入 UCle 联盟的企业之一，致力于 Chiplet 技术和产业的推进，通过“IP 芯片化，IP as a Chiplet”和“芯片平台化，Chiplet as a Platform”，来实现 Chiplet 的产业化。
	润欣科技（与奇异摩尔合作）	与润欣科技签署战略合作框架协议，将基于各自的客户和技术优势，持续打造端到端定制化的 Chiplet 芯片设计服务平台，提供包含 ASIC、算法设计、Chiplet 晶粒封测和芯片交付，并为客户提供多样化的 IP（如互联的 IP、互联的 IO die）、功能芯粒选择和异构设计服务。
EDA	华大九天	已开展 EDA+AI 技术及 Chiplet 先进封装设计技术的研发，公司将不断完善在先进技术方面的布局、不断提升技术先进性和产品竞争力
	概伦电子	公司认为 Chiplet 先进封装要和芯片设计联动，在芯片设计阶段就需要考虑同封装环节的联动分析以及配置优化等工作，公司目前的产品在联合仿真和信号完整性等方面可以有效支持，后续也计划通过行业生态建设和并购整合等方式打造更多相关解决方案。
设备	长川科技	高端测试设备提供商，我们认为其或受益下游封测厂商需求放量
	华峰测控	公司的测试机已占国内同类产品市场份额的 50%，被国外知名 IC 厂商如 TI，STM，Fairchild 等考核通过
	金海通	公司独立承担了国家科技重大专项之“极大规模集成电路制造装备及成套工艺专项”（02 专项）中的“SiP 吸放式全自动测试分选机”的课题研发工作，获得了“国家重大科技专项课题验证合同书”。通过承担“02 专项”，公司产品得到了长电科技及通富微电等大型集成电路封测企业的认可。
	新益昌	固晶机是三大核心封装设备之一，根据 Yole Development 统计，2018 年全球固晶设备（应用领域包括 LED、半导体、光电子等）中公司的市场占有率为 6%，在全球固晶设备市场排名第三。在半导体领域，公司的客户涵盖了晶导微、灿瑞科技、扬杰科技、通富微、固得电子等知名公司。
材料	兴森科技	Chiplet 作为高端产品载板层数需求多，将推动以 ABF 作为积层绝缘介质材料的 ABF 载板用量，公司扩产 ABF 载板。公司广州 FCBGA 封装基板项目已启动项目建设前期准备工作，同步启动设备采购，计划 2023 年底前后进入试产阶段。
	南亚新材	公司目前开发的超低 CTE 载板应用材料，可以满足 Chiplet 先进封装应用
	华正新材	公司与深圳先进电子材料国际创新研究院共同出资设立合资公司，开展 CBF 积层绝缘膜（可应用于先进封装领域诸如 FC-BGA 高密度封装基板、芯片再布线介质层、芯片塑封、芯片粘结、芯片凸点底部填充等重要应用场景的关键封装材料）项目相关产品的研发和销售。
	方邦股份	公司是少数掌握超高电磁屏蔽效能、极低插入损耗（即信号传输损耗）技术的电磁屏蔽膜生产厂商之一，电磁屏蔽膜是一种电磁屏蔽材料，目前主要应用于关键电子元器件 PCB（印制线路板）、FPC（柔性印制线路板）及相关组件，有望受益 Chiplet 先进封装应用需求释放。
	德邦科技	公司专注于高端电子封装材料研发及产业化，产品可实现结构粘接、导电、导热、绝缘、保护、电磁屏蔽等复合功能，是一种关键的封装装联功能性材料，广泛应用于晶圆加工、芯片级封装、功率器件封装、板级封装、模组及系统集成封装等不同封装工艺环节和应用场景。
	和林微纳	随着集成电路向高密度化、高精度化方向发展，必然要求测试时探针的数量更多、探针间距更微细，以满足微小型芯片的检测要求。公司目前主要产品包括：半导体芯片测试探针、精微屏蔽罩等。
	联瑞新材	电子级硅微粉尤其是高性能球形硅微粉在电子信息产业、国防尖端科技等领域发挥着至关重要的作用。公司高性能球形硅微粉已经用于 Chiplet 芯片封装用封装材料，下游高尖端领域的应用与发展对于公司业务发展有积极的推动作用。

资料来源：各公司官网，Wind 资讯投资者提问平台，各公司年度报告及投资者关系记录，中国电子报公众号，中能国泰集团等相关公众号，每日经济新闻，天风证券研究所

表 4：相关公司盈利预测与估值

业务板块	公司名称	营业收入（亿元）			EPS（元/股）			PE		
		2022E	2023E	2024E	2022E	2023E	2024E	2022E	2023E	2024E
封测	长电科技	344.70	383.20	431.06	1.85	2.04	2.37	16	14	12
	通富微电	204.38	248.65	300.84	0.39	0.74	1.06	59	31	22
	华天科技	120.49	137.62	173.21	0.28	0.30	0.43	36	33	23
测试	伟测科技	-	11.16	15.59	-	3.87	5.63	-	29	20
	利扬芯片	-	6.05	7.76	-	0.70	1.01	-	47	33
IP	芯原股份-U	-	34.19	43.63	-	0.28	0.49	-	241	136
	润欣科技	19.20	20.95	22.63	0.13	0.14	0.15	56	52	50
EDA	华大九天	8.04	10.85	14.51	0.34	0.47	0.64	323	235	173
	概伦电子	-	4.02	5.58	0.00	0.15	0.21	-	207	151
封装测试设备	长川科技	27.76	40.25	52.44	0.88	1.42	1.93	60	37	28
	华峰测控	-	13.91	18.65	-	7.25	9.76	-	43	32
	金海通	-	-	-	-	-	-	-	-	-
	新益昌	-	17.44	21.91	-	3.46	4.53	-	38	29
材料	兴森科技	55.97	70.51	87.33	0.36	0.47	0.60	31	24	19
	南亚新材	0.00	45.89	56.44	-	0.51	1.45	0	49	17
	华正新材	31.92	40.21	49.35	0.32	0.84	1.65	96	36	18
	方邦股份	-	5.94	12.12	-	0.63	2.85	-	112	25
	德邦科技	-	14.95	20.61	-	1.77	2.60	-	36	25
	和林微纳	-	4.21	5.97	-	1.37	1.99	-	54	37
	联瑞新材	-	9.21	11.16	-	2.11	2.71	-	27	21

资料来源：Wind，天风证券研究所

注：统计截至 2023/3/14，“-”表示未有机构给出预测或公司已经披露 2022 年度业绩快报；盈利预测为 Wind 一致预期

5. 风险提示

国际局势不确定性加剧：美国对我国半导体行业的制裁范围逐步扩大，或会影响 Chiplet 方案落地

科研进度不及预期：Chiplet 有赖于先进封装技术实现，国内厂商需攻克相关技术壁垒，保证 Chiplet 量产

需求不及预期：如 AI、自动驾驶等超算负载的应用发展不及预期，则将对上游需求带来不利影响

分析师声明

本报告署名分析师在此声明：我们具有中国证券业协会授予的证券投资咨询执业资格或相当的专业胜任能力，本报告所表述的所有观点均准确地反映了我们对标的证券和发行人的个人看法。我们所得报酬的任何部分不曾与，不与，也将不会与本报告中的具体投资建议或观点有直接或间接联系。

一般声明

除非另有规定，本报告中的所有材料版权均属天风证券股份有限公司（已获中国证监会许可的证券投资咨询业务资格）及其附属机构（以下统称“天风证券”）。未经天风证券事先书面授权，不得以任何方式修改、发送或者复制本报告及其所包含的材料、内容。所有本报告中使用的商标、服务标识及标记均为天风证券的商标、服务标识及标记。

本报告是机密的，仅供我们的客户使用，天风证券不因收件人收到本报告而视其为天风证券的客户。本报告中的信息均来源于我们认为可靠的已公开资料，但天风证券对这些信息的准确性及完整性不作任何保证。本报告中的信息、意见等均仅供客户参考，不构成所述证券买卖的出价或征价邀请或要约。该等信息、意见并未考虑到获取本报告人员的具体投资目的、财务状况以及特定需求，在任何时候均不构成对任何人的个人推荐。客户应当对本报告中的信息和意见进行独立评估，并应同时考量各自的投资目的、财务状况和特定需求，必要时就法律、商业、财务、税收等方面咨询专家的意见。对依据或者使用本报告所造成的一切后果，天风证券及/或其关联人员均不承担任何法律责任。

本报告所载的意见、评估及预测仅为本报告出具日的观点和判断。该等意见、评估及预测无需通知即可随时更改。过往的表现亦不应作为日后表现的预示和担保。在不同时期，天风证券可能会发出与本报告所载意见、评估及预测不一致的研究报告。天风证券的销售人员、交易人员以及其他专业人士可能会依据不同假设和标准、采用不同的分析方法而口头或书面发表与本报告意见及建议不一致的市场评论和/或交易观点。天风证券没有将此意见及建议向报告所有接收者进行更新的义务。天风证券的资产管理部门、自营部门以及其他投资业务部门可能独立做出与本报告中的意见或建议不一致的投资决策。

特别声明

在法律许可的情况下，天风证券可能会持有本报告中提及公司所发行的证券并进行交易，也可能为这些公司提供或争取提供投资银行、财务顾问和金融产品等各种金融服务。因此，投资者应当考虑到天风证券及/或其相关人员可能存在影响本报告观点客观性的潜在利益冲突，投资者请勿将本报告视为投资或其他决定的唯一参考依据。

投资评级声明

类别	说明	评级	体系
股票投资评级	自报告日后的 6 个月内，相对同期沪深 300 指数的涨跌幅	买入	预期股价相对收益 20%以上
		增持	预期股价相对收益 10%-20%
		持有	预期股价相对收益 -10%-10%
		卖出	预期股价相对收益 -10%以下
行业投资评级	自报告日后的 6 个月内，相对同期沪深 300 指数的涨跌幅	强于大市	预期行业指数涨幅 5%以上
		中性	预期行业指数涨幅 -5%-5%
		弱于大市	预期行业指数涨幅 -5%以下

天风证券研究

北京	海口	上海	深圳
北京市西城区佟麟阁路 36 号 邮编：100031 邮箱：research@tfzq.com	海南省海口市美兰区国兴大道 3 号互联网金融大厦 A 栋 23 层 2301 房 邮编：570102 电话：(0898)-65365390 邮箱：research@tfzq.com	上海市虹口区北外滩国际客运中心 6 号楼 4 层 邮编：200086 电话：(8621)-65055515 传真：(8621)-61069806 邮箱：research@tfzq.com	深圳市福田区益田路 5033 号平安金融中心 71 楼 邮编：518000 电话：(86755)-23915663 传真：(86755)-82571995 邮箱：research@tfzq.com