

行业报告：半导体行业深度

2022年11月14日



中航证券有限公司
AVIC SECURITIES CO., LTD.

后摩尔时代新星，Chiplet与先进封装风云际会

行业评级：增持

分析师：刘牧野
证券执业证书号：S0640522040001

股市有风险 入市需谨慎

- **摩尔定律经济效益放缓，Chiplet和先进封装协同创新：**由于摩尔定律的经济效益降低，不能再只依赖工艺和架构等少数几个维度去实现性能和复杂度的指数型提升。业界将注意力从单纯的依靠制程工艺的提升来推动单个硅片上单位面积的晶体管数量提升，转变到通过成本相对可控的复杂的系统级芯片设计来提升整体的性能和功能。在设计维度看好Chiplet技术，在制造维度看好先进封装技术，以实现花同样的钱得到更多的晶体管密度和性能。
- **Chiplet将设计化繁为简，降本增效：**Chiplet是一种新的设计理念：硅片级别的IP重复使用。设计一个SoC系统级芯片，传统方法是从不同的IP供应商购买一些IP，软核、固核或硬核，结合自研的模块，集成为一个SoC，然后在某个芯片工艺节点上完成芯片设计和生产的完整流程。有了Chiplet概念以后，对于某些IP，就不需要自己做设计和生产了，而只需要买别人实现好的硅片，然后在一个封装里集成起来。Chiplet的设计理念，有助于提高芯片良率，提升设计效率，降低芯片的总成本。
- **先进封装是实现Chiplet的前提：**Chiplet对先进封装提出更高要求。在芯片小型化的设计过程中，需要添加更多I/O来与其他芯片接口，裸片尺寸有必要保持较大且留有空白空间，导致部分芯片无法拆分，芯片尺寸小型化的上限被pad（硅片的管脚）限制。并且，单个硅片上的布线密度和信号传输质量远高于Chiplet之间，要实现Chiplet的信号传输，就要求发展出高密度、大带宽布线的“先进封装技术”。
- **Chiplet新蓝海，国产设计大机遇：**Chiplet发展涉及整个半导体产业链，将影响到从EDA厂商、晶圆制造和封装公司、芯粒IP供应商、Chiplet产品及系统设计公司到Fabless设计厂商的产业链各个环节的参与者。**在芯片设计端，建议关注国内平台化的IP供应龙头芯原股份，积极布局2.5D封装技术的国芯科技，以及国内EDA供应商华大九天、概伦电子、安路科技、广立微。**
- **先进封装如火如荼，产业链全面受益：**先进封装生态涵盖从芯片设计、制造、材料的供应商，且对TSV中介板、IC载板等产生新增需求。目前主要参与者为国外头部半导体企业，台积电和英特尔等晶圆制造商不断加码先进封装的资本开支。在逆全球化的背景下，先进封装的国产化不能落后。**建议关注先进封装服务商：通富微电、大港股份、同兴达、长电科技；晶圆和封装设备供应商：北方华创、中微公司、华海清科、拓荆科技；量测和检测设备供应商：长川科技、精测电子、华峰测控；IC载板供应商：兴森科技。**
- **风险提示：**先进制程提速发展，具备高性价比，造成对先进封装的需求减弱；TSV中介板方案被其他技术方案取代；行业竞争加剧的风险

一、接棒后摩尔时代，Chiplet和先进封装协同创新

二、Chiplet新蓝海，国产设计大机遇

三、先进封装如火如荼，产业链全面受益

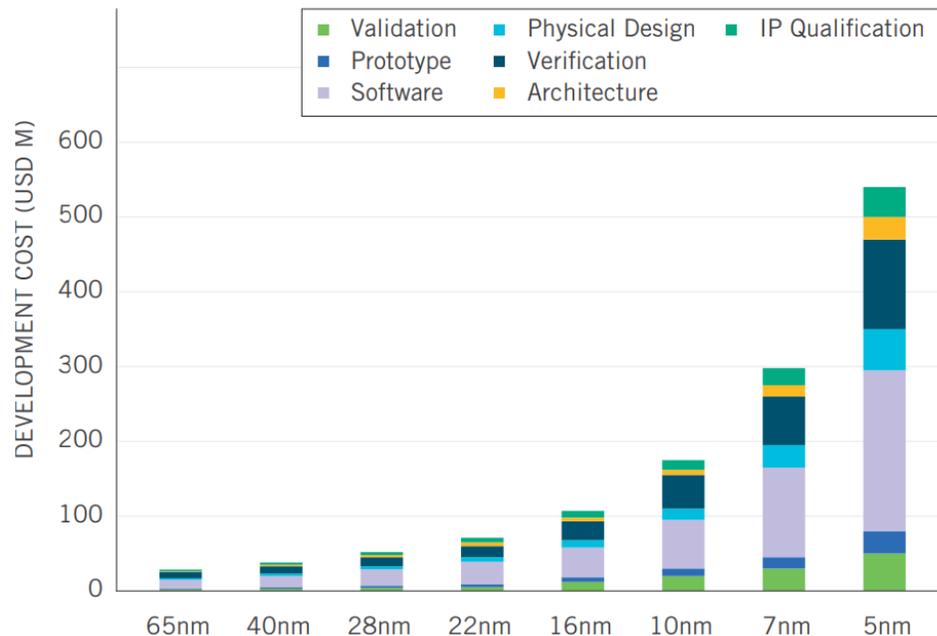
摩尔定律经济效益放缓，Chiplet和先进封装协同创新

- **“摩尔定律”继续推进所带来的“经济效益”正在锐减。** 随着制程工艺的推进，单位数量的晶体管成本的下降幅度在急剧降低。从16nm到10nm，每10亿颗晶体管的成本降低了23.5%，而从5nm到3nm成本仅下降了4%。而当芯片制程接近1nm时，就将进入量子物理的世界，现有的工艺制程会受到量子效应的极大影响，从而很难进一步进步了。除此之外，新工艺制程也带来了高昂的科研成本。
- **先进封装和Chiplet备受瞩目。** 由于摩尔定律的经济效益降低，不能再只依赖工艺和架构等少数几个维度去实现性能和复杂度的指数型提升。业界将注意力从单纯的依靠制程工艺的提升来推动单个硅片上单位面积的晶体管数量提升，转变到通过成本相对可控的复杂的系统级芯片设计来提升整体的性能和功能。在设计维度看好Chiplet技术，在制造维度看好先进封装技术，以实现花同样的钱得到更多的晶体管密度和性能。

单位数量的晶体管成本对比

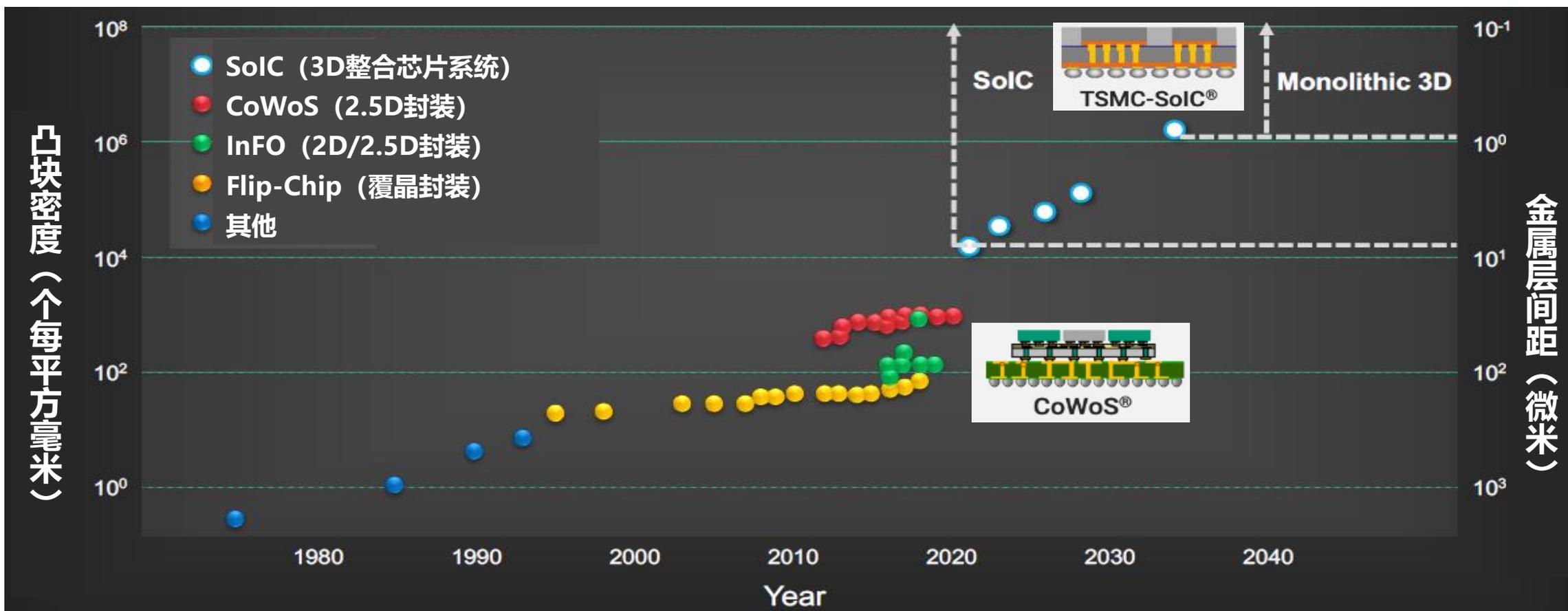
制程	16nm	10nm	7nm	5nm	3nm
芯片面积(mm ²)	125	87.66	83.27	85	85
晶体管数量(十亿个)	3.3	4.3	6.9	10.5	14.1
晶粒总数/单片晶圆	478	686	721	707	707
晶粒净产出/单片晶圆	359.74	512.44	545.65	530.25	509.04
晶圆价格(\$)	5912	8389	9965	12500	15500
晶粒价格(\$)	16.43	16.43	18.26	23.57	30.45
每10亿个晶体管的成本(\$)	4.98	4.98	2.65	2.25	2.16

每一次制程缩减所需要的成本都有大幅提升



制造创新：集成度更进一竿，3D封装开启新时代

- 云端运算、大数据分析、人工智能、自动驾驶等领域，对算力芯片的效能要求越来越高。算力芯片的高负载，促使台积电等芯片制造商采用更全面的方法在系统级别进行优化。
- **3D芯片堆叠及先进封装技术为晶片级与系统级创新开启了一个新时代。**先进封装技术对于产品的效能、功能和成本至关重要。在2.5D和3D先进封装技术方面，台积电已经布局了超过10年。目前，台积电已将2.5D和3D先进封装相关技术整合为“3DFabric”平台，可让客户们自由选配，前段技术包含3D的整合芯片系统（SoIC InFO-3D），后段组装测试相关技术包含2D/2.5D的整合型扇出（InFO）以及2.5D的CoWoS系列家族。

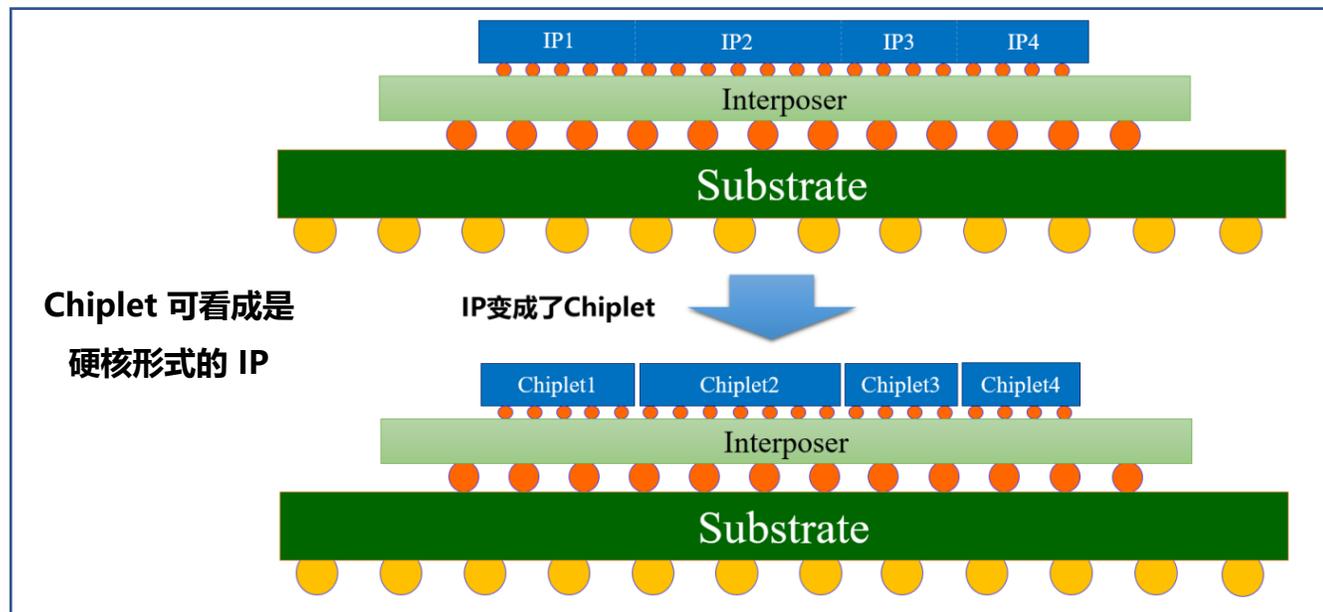
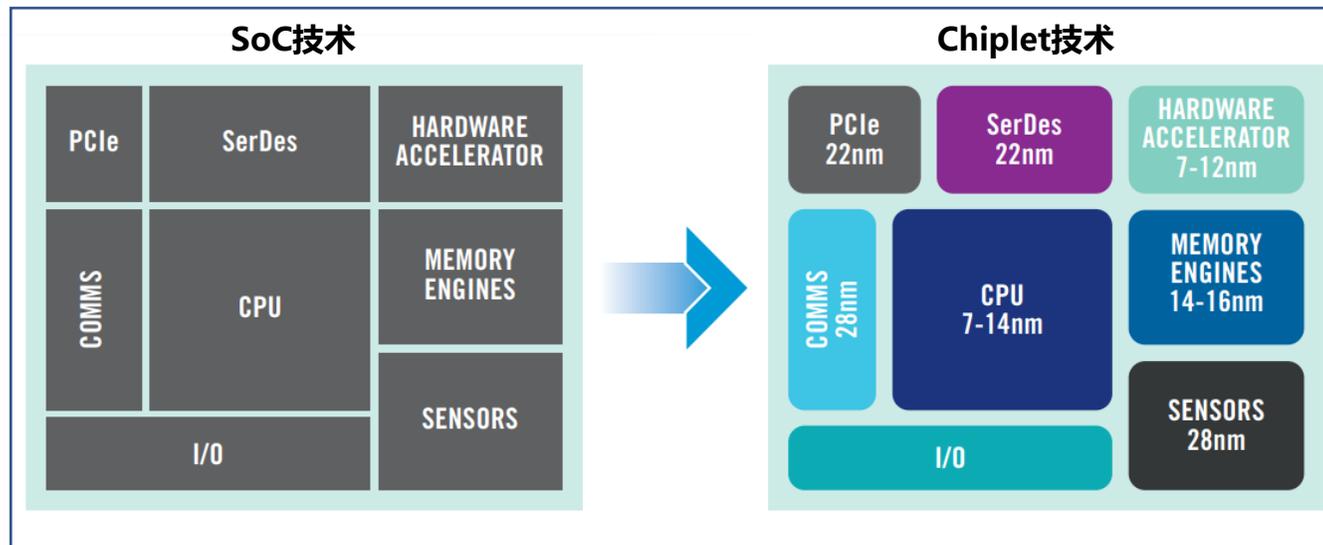


设计创新：后摩尔时代的新星，Chiplet化繁为简

- SoC(系统级单芯片)是将多个负责不同类型计算任务的计算单元，通过光刻的形式制作到同一块晶圆上。与SoC相反，Chiplet是将一块原本复杂的SoC芯片，从设计时就先按照不同的计算单元或功能单元对其进行分解，然后每个单元选择最适合的半导体制程工艺进行分别制造，再通过先进封装技术将各个单元彼此互联，最终集成封装为一个系统级芯片组。

- Chiplet 实际上是一种新的设计理念：硅片级别的IP重复使用。**设计一个SoC系统级芯片，传统方法是从不同的IP 供应商购买一些IP，软核、固核或硬核，结合自研的模块，集成为一个SoC，然后在某个芯片工艺节点上完成芯片设计和生产的完整流程。有了Chiplet概念以后，对于某些IP，就不需要自己做设计和生产了，而只需要买别人实现好的硅片，然后在一个封装里集成起来。

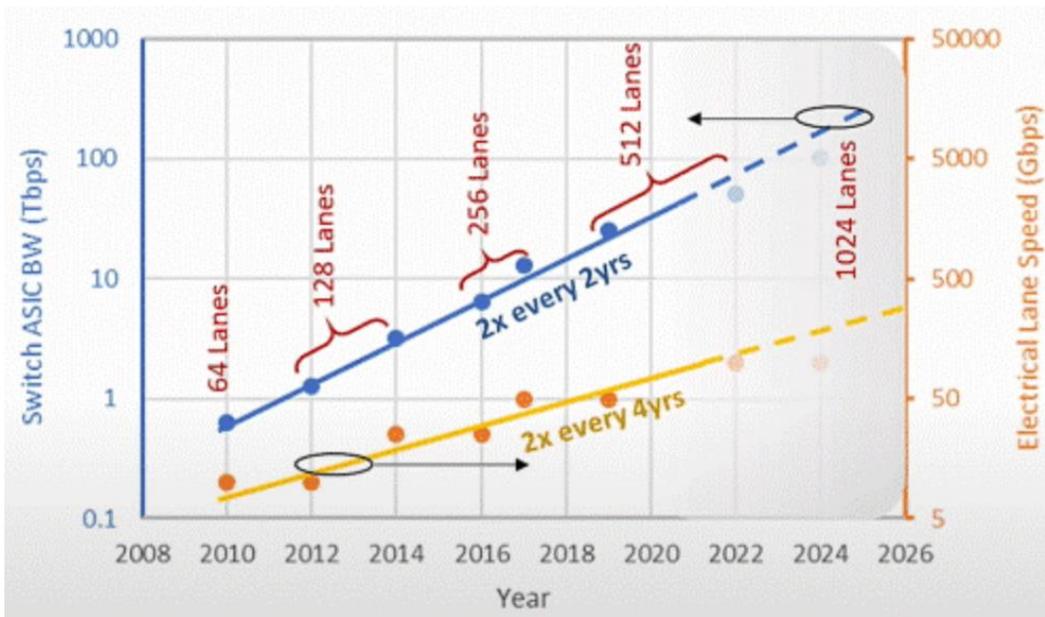
- Chiplet的设计理念，有助于提高芯片良率，提升设计效率，降低芯片的总成本。



先进封装是实现Chiplet的前提

- **芯片上数据的输入和输出 (I/O) 是计算芯片的命脉。** 处理器必须与外部世界进行数据的发送和接收。摩尔定律使业界的晶体管密度大约每 2 年增加 2 倍，但 I/O 数据的传输速率每 4 年才增加 2 倍，所以芯片需要容纳更多的通信或 I/O 点才能跟上晶体管密度的增加速度。
- **Chiplet对先进封装提出更高要求。** 在芯片小型化的设计过程中，需要添加更多 I/O 来与其他芯片接口，裸片尺寸有必要保持较大且留有空白空间，导致部分芯片无法拆分，芯片尺寸小型化的上限被pad（硅片的管脚）限制。并且，单个硅片上的布线密度和信号传输质量远高于Chiplet之间，**要实现Chiplet的信号传输，就要求发展出高密度、大带宽布线的“先进封装技术”。**
- 封装技术目前主要由TSMC、ASE、Intel等公司来主导，主要是2.5D和3D封装。2.5D封装技术已非常成熟，广泛应用于FPGA、CPU、GPU等芯片，2.5D封装也成为了Chiplet架构产品主要的封装解决方案。3D封装能够帮助实现3D IC，即芯粒间的堆叠和高密度互联，可以提供更为灵活的设计选择。但3D封装的技术难度更高，目前主要有英特尔和台积电掌握3D封装技术并商用。

信号传输速度落后于算力速度发展



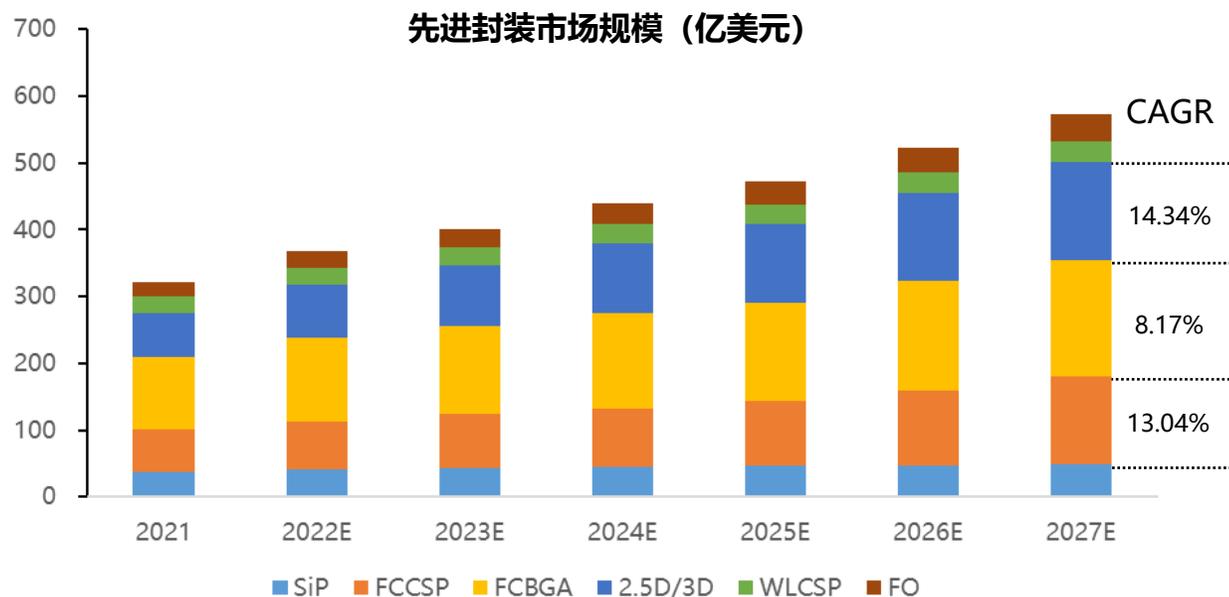
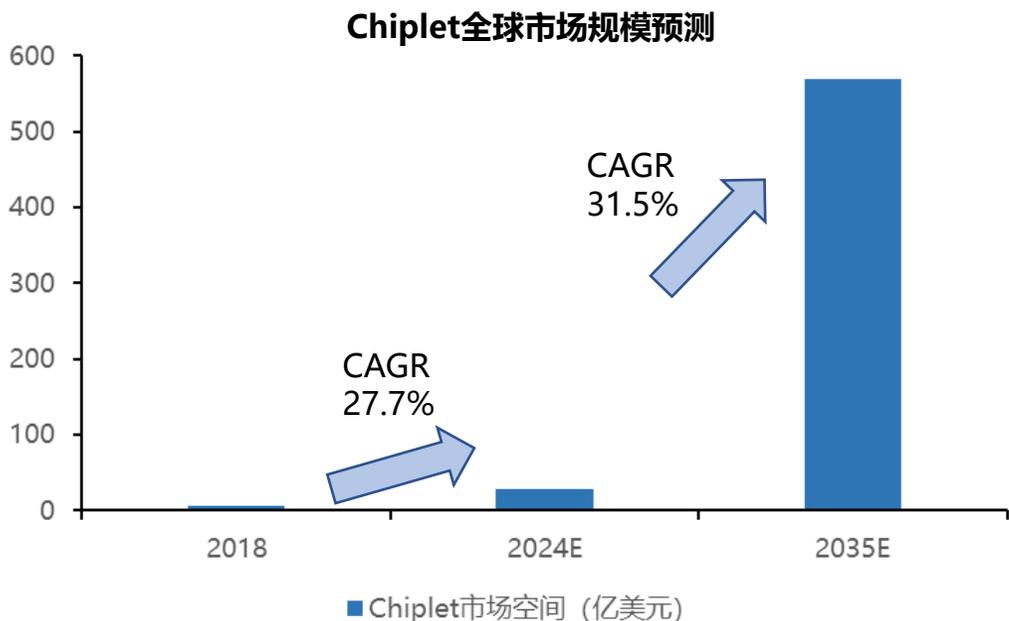
先进封装与传统封装简单对比

	传统封装 (以倒装为例)	先进封装 (以Fan-out WLP和2.5D/3D为例)	
		Fan-out WLP	2.5D/3D
系统内存带宽	低	中	高
芯片能耗比	低	高	高
芯片厚度	高	低	中
芯片发热	中	低	高
封装成本	低	中	高
性能	低	中	高
形态	平面、芯片之间缺乏高速互联	多芯片、异质集成、芯片之间高速互联	

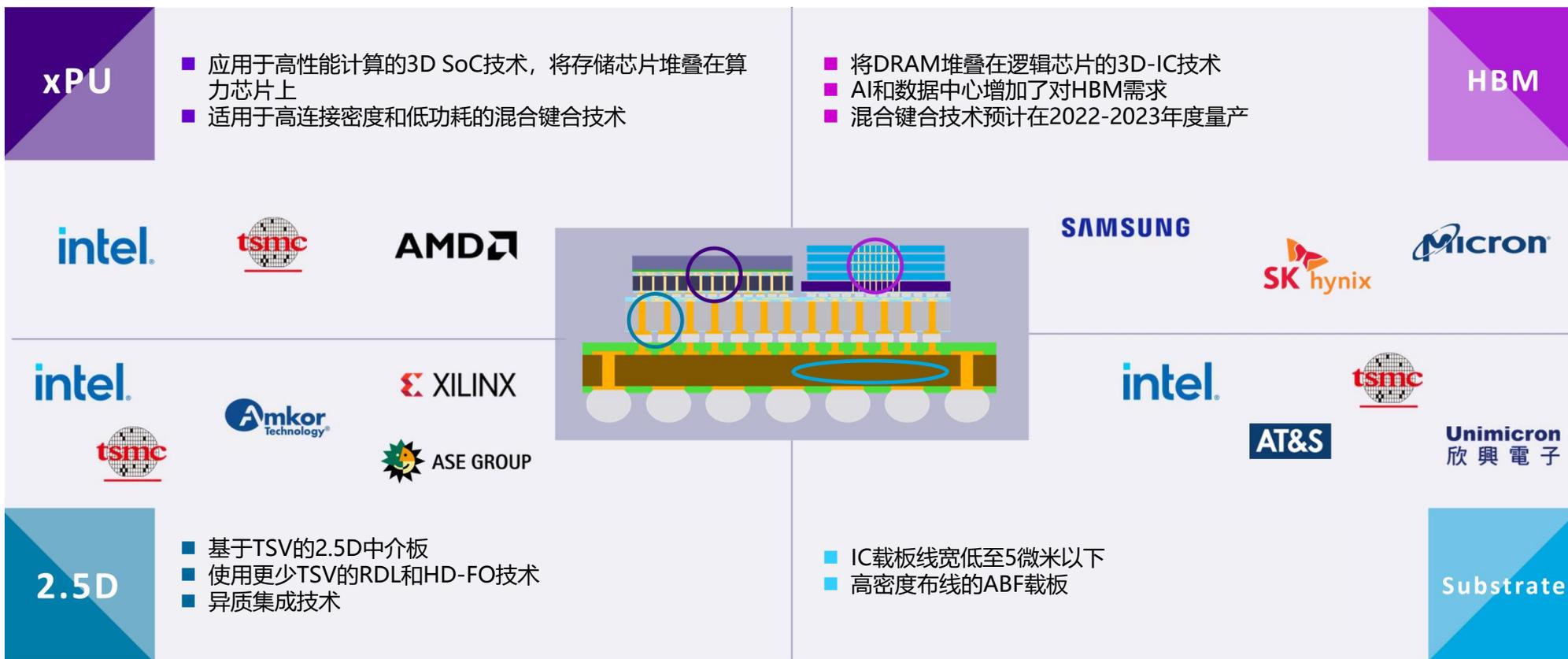
MPU驱动Chiplet高成长，2.5D/3D引领先进封装

■ **MPU为Chiplet主要应用下游。** Chiplet已应用于MPU、GPU以及FBGA等集成电路领域。据Omdia, Chiplet市场空间将在2024年达到58亿美元, 并以每年31.5%的平均增速, 在2035年达到570亿美元。MPU占据Chiplet大部分应用应用场景, Omdia预测2024年用于MPU的Chiplet市场空间25亿美元, 约占Chiplet总市场规模的43%。

■ **2.5D/3D封装引领先进封装市场。** 受益于自动驾驶、人工智能、数据中心等需求驱动, 先进封装的市场规模将持续增长。据yole预测, 先进封装全球市场规模2021年为321亿美元, 至2027年达到572亿美元。由于台积电和英特尔不断加码资本支出, 重点发展2.5D/3D封装, 2021年至2027年增速最快的技术为2.5D/3D封装, 2027年达到148亿美元。



- 先进封装生态涵盖从芯片设计、制造、材料的供应商。包括高性能算力芯片巨头英特尔、英伟达、AMD；存储芯片供应商三星、海力士、镁光；先进封装工艺服务商台积电、英特尔、日月光；IC载板供应商欣兴电子、英特尔、AR&S等。
- 我国本土供应商在先进封装产业链的参与度较低，在逆全球化的背景下，除了实现高阶芯片制程的自主可控，先进封装的国产化也同样迫在眉睫。



国内纷纷布局先进封装，封测服务商或成主角

- 目前全球仅有台积电、英特尔和三星能提供完整的先进封装平台，中国大陆晶圆厂仍站在起跑线外。在国际主流晶圆厂入局先进封装后，封装技术差距也有被进一步拉大的趋势。因此，本土晶圆厂在追赶先进工艺的同时，必须与国际主流厂商保持步调一致。
- 从先进封装现有发展经验来看，晶圆厂由于拥有更多的晶圆制造经验及高制程的设备，在先进封装领域具备技术和资本优势。但受到美国科技封锁的影响，国内晶圆厂可能无法在体内发展先进封装，因为所需材料和设备同样存在被禁购的可能。我们认为，国内先进封装业务可能由尚未被制裁的封测服务商承接。**建议关注通富微电、大港股份、长电科技、同兴达。**

聚焦晶圆级芯片封装的TSV、微凸块和RDL等环节，覆盖锡凸块、铜凸块、垂直通孔技术、倒装焊等技术。



2021年与昆山日月光签署协议合作全流程封测项目切入先进封装领域，预计2022年底前投产，月产12英寸全流程金凸块2万块。



可提供多样化Chiplet封装解决方案，并且已为AMD大规模量产Chiplet产品，其中包括GPU产品。



全面覆盖高中低封装技术，以先进封装为主，包括FC、eWLB、TSV、SiP、PiP、PoP、Fan out、Bumping等。



拥有先进节点中段Bumping加工生产线，提供晶圆级测试和封装服务。发展先进的3DIC加工技术和集成方案。



一、接棒后摩尔时代，Chiplet和先进封装协同创新

二、Chiplet新蓝海，国产设计大机遇

三、先进封装如火如荼，产业链全面受益

科技巨头相继入局Chiplet，推动算力革命

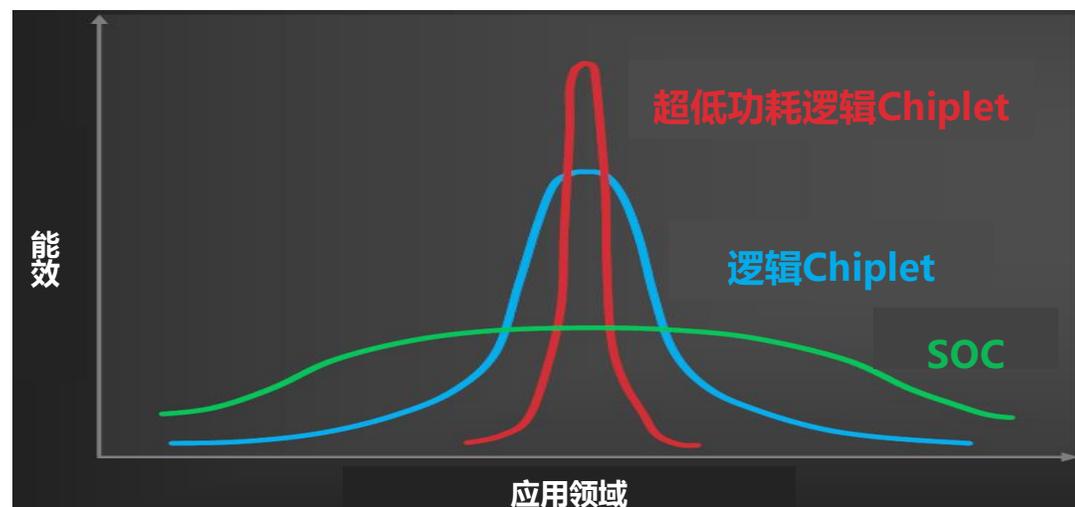
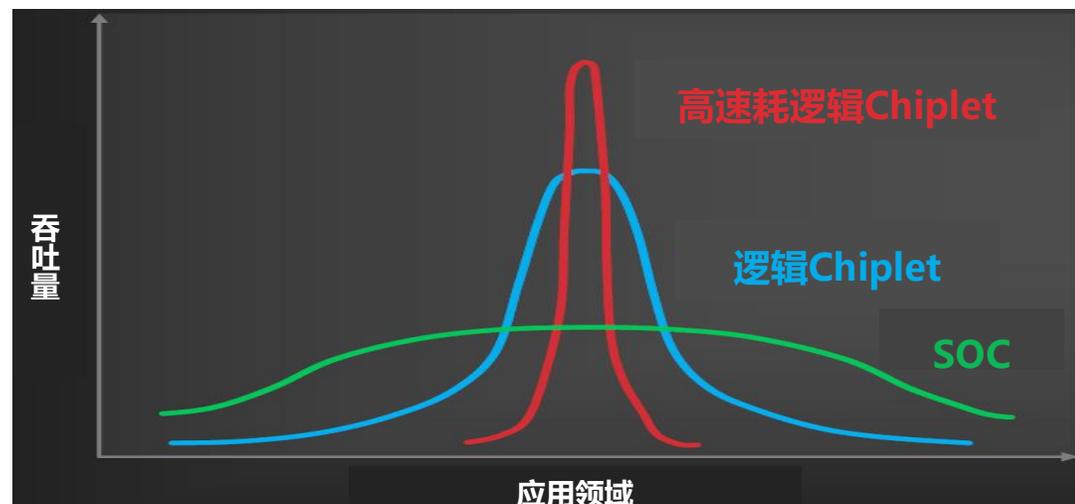
- **Chiplet目前聚焦于高性能算力芯片，可以显著提升算力和能效，是持续提高集成度和芯片算力的重要途径。** 华为于2019年推出基于Chiplet技术的7nm鲲鹏920处理器；AMD 在2021年6月发布了基于台积电3D Chiplet封装技术的第三代服务器处理芯片，后于2022年3月推出了Milan-X CPU；英特尔的Intel Stratix 10 GX 10M FPGA 也是采用了Chiplet技术。
- UCle成立于2022年3月，是一个开放的产业联盟，旨在推广UCle技术标准，构建完善生态，使之成为Chiplet未来片上互联标准，其发起人成员包括AMD、Arm、英特尔、台积电等半导体厂商以及Google Cloud、Meta、微软等十余家科技行业巨头。2022年8月，新增阿里巴巴、英伟达两家成员单位。

半导体和科技巨头联合组成UCle联盟董事会



资料来源：台积电，UCle联盟，中航证券研究所

Chiplet在高吞吐、高能效应用领域优势突出



Chiplet优势之一：高集成度，高设计弹性

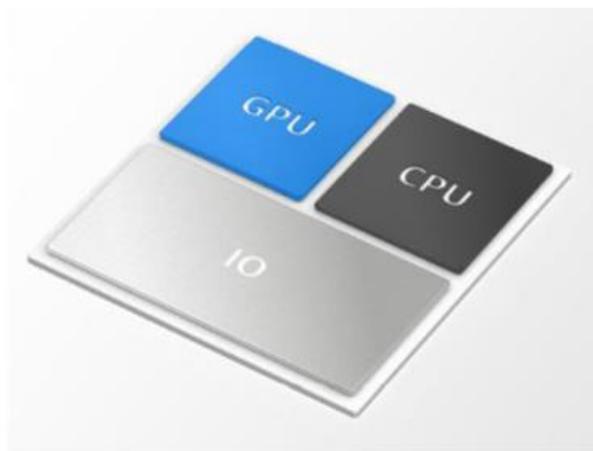
- **Chiplet可获得更高的集成度。**通常来说，由于光刻掩膜版的尺寸限定在33mm * 26mm，单个芯片的面积一般不超过800mm²，而Chiplet通过多个芯片的片间集成，可以在封装层面突破单芯片上限，进一步提高集成度。
- **Chiplet 能够提高芯片设计弹性，同时降低设计成本。** SoC方案采用统一的工艺制程，导致SoC芯片上各部分要同步进行迭代。Chiplet 芯片一般采用先进的封装工艺，将小芯片组合代替形成一个大的单片芯片，可以对芯片上的部分单元进行选择性的迭代，迭代部分裸芯片后即可制作出下一代产品，加速产品上市周期。并且，Chiplet通过采用已知合格裸片进行组合，可以有效缩短芯片的研发周期及节省研发投入。同时Chiplet 芯片通常集成应用较为广泛和成熟的芯片裸片，可以有效降低了Chiplet 芯片的研制风险，从而减少重新流片及封装的次数，有效节省成本。



单片集成SoC

开发时间：3-4年

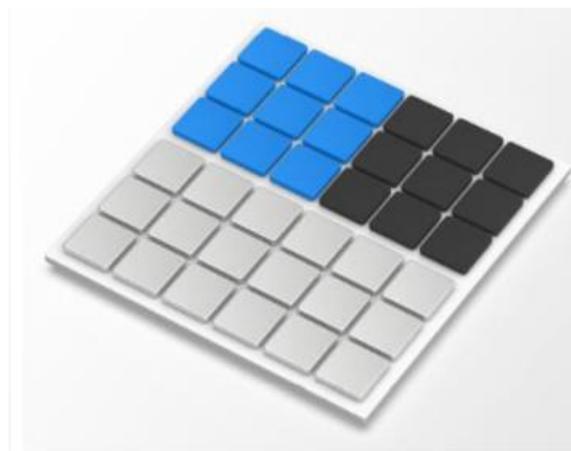
缺陷数：数百个



多芯片集成SIP

开发时间：2-3年

缺陷数：数十个



单独IP集成 Chiplet

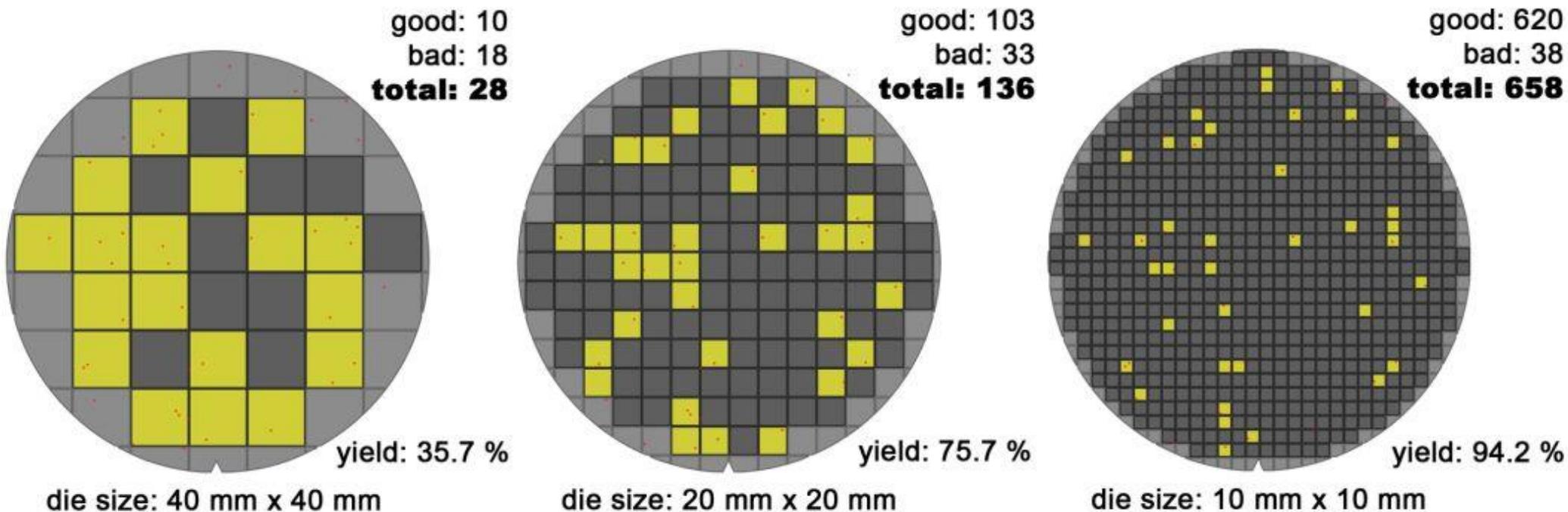
开发时间：1-2年

缺陷数：小于十个

Chiplet优势之二：高良率

- Chiplet能够显著提高大型芯片的良率。一般的芯片生产中，一片晶圆都会切割出很多裸片。对于有缺陷且无法“修复”的芯片，剔除就可以了。在同样的缺陷分布情况下，晶圆上的裸片越大（分割的数量越少），缺陷的影响就越大（剔除的面积就越大）。Chiplet方案通过将大芯片分成更小的芯片，将单一裸片面积做小，有效地提高了芯片良率。

良率 (yield) 与裸片面积的关系



红点代表晶圆的缺陷

- 根据工艺制造良率Bose-Einstein模型:
 $Yield = 1 / (1 + A * D_0)^n$ (A代表芯片面积, D0代表缺陷密度, n代表掩膜版层数相关系数)。单芯片的面积越大, 良率越低, 对应制造成本也越高。
- 随着工艺演进, 实现相同功能的情况下单芯片面积几乎不会缩小, 而Chiplet合理地将不用功能有效划分到不同工艺节点的芯片上, 可以有效降低成本。在 SoC设计中, 模拟电路、大功率 I/Os 等对制程并不敏感, 并无使用高端制程的必要, 因此若将 SoC 中的功能模块划分为单独的Chiplet, 针对其功能选择最为合适的制程, 可以使芯片尺寸最小化, 进而提高良率并降低成本。
- 基于 Chiplet 设计的SoC 还可对外采购具备特定功能的裸片 (die) 以节省自身的开发和验证成本。

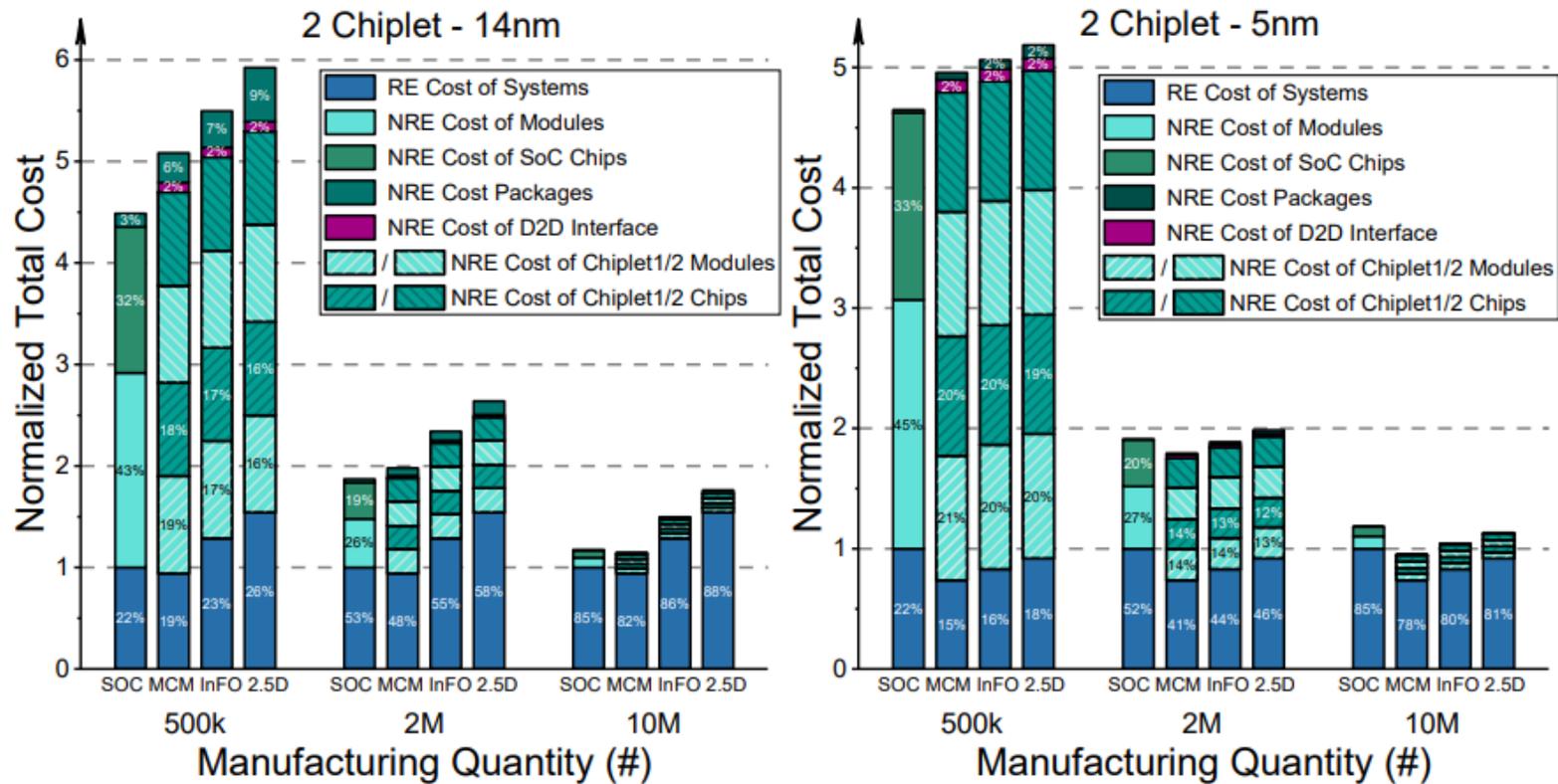
7nm方案下SoC和Chiplet成本等对比

	SoC	Chiplet
晶圆成本 (7nm)	9350\$	9350\$
裸片尺寸 (mm ²)	600	600
单一裸片尺寸	600	165
每片晶圆裸片数量	96	387
缺陷率 (/cm ²)	20%	20%
有效区域	80%	80%
预计良率	43%	78%
每片晶圆净裸片数量	42	300
裸片成本	224\$	31\$
合计裸片成本	224\$	124\$
合计测试费用	10\$	12\$
封装费用	160\$	200\$
封装损失	1%	4%
合计制造成本	398\$	347\$

针对先进工艺，Chiplet更具成本优势

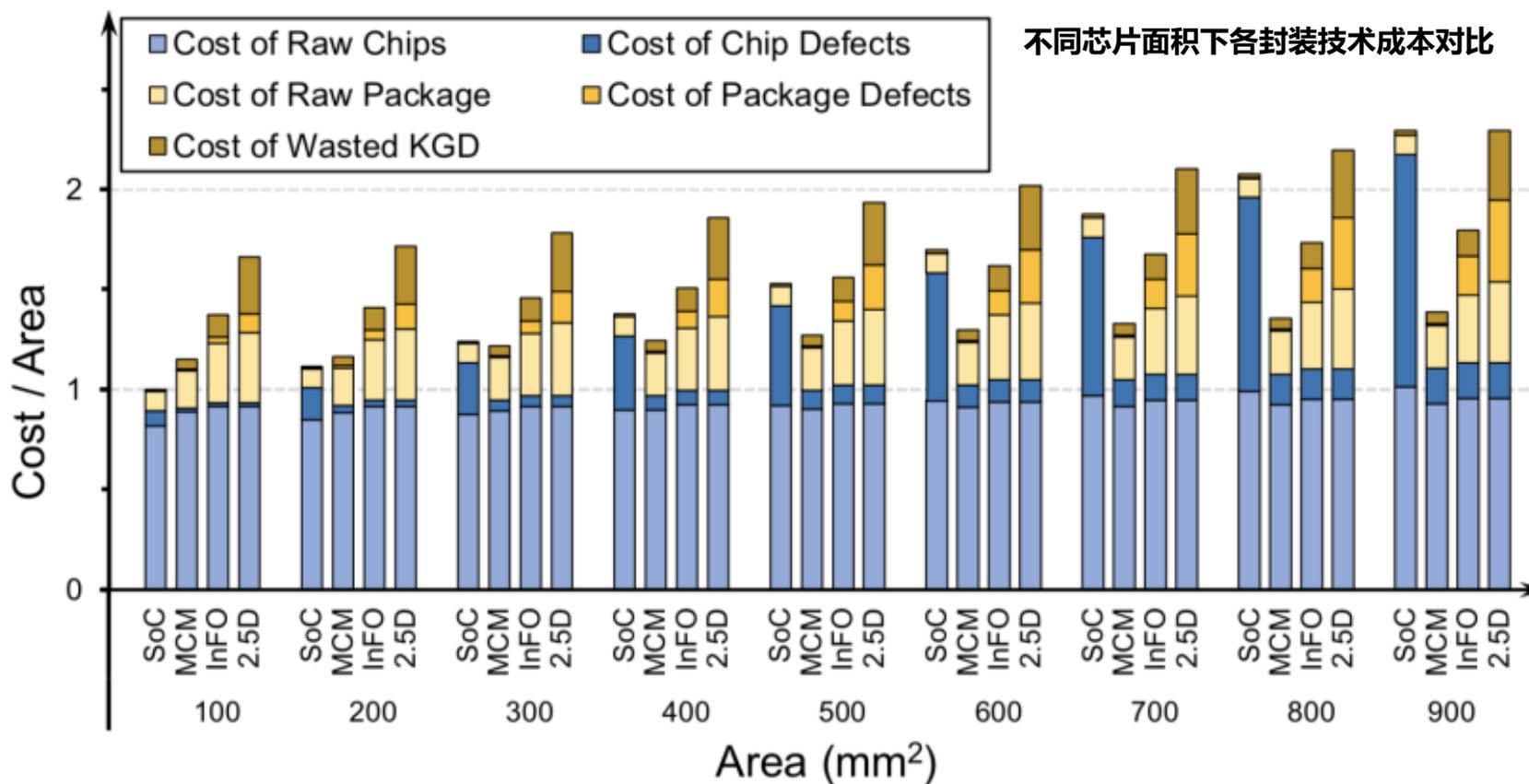
- 多芯片集成在越先进的工艺下(如5nm)越具有显著的优势，因为在800mm²面积的单片系统中，硅片缺陷导致的额外成本占总制造成本的50%以上。
- 对于成熟工艺(14nm)，尽管产量的提高也节省了高达35%的成本，但由于D2D接口和封装的高成本(MCM: >25%，2.5D: >50%)，多芯片的成本优势减弱。

2 Chiplet在14nm和5nm工艺下成本结构



2.5D封装更适用于800mm²以上的Chiplet

- 对比不同芯片面积下，四种封装方式（SoC，MCM封装，InFO，2.5D封装）的成本。2.5D封装方案在800平方毫米以上的大芯片才较SoC具成本优势，所以在大面积芯片（数据中心、AI处理器等高算力应用场景）使用Chiplet方案具备经济效益。
- 先进封装并不是越新的技术越好，在一些应用场景，先进封装的价格过高，甚至超过晶圆的成本，决定了其不会大范围量产使用。提高良率、降低成本是国内封装厂的首要任务。



Chiplet主流设计系分两大门派

类型	主流代表	简介	优势	图示
基于功能划分到多个Chiplets, 单个Chiplet不包含完整功能集合, 通过不同Chiplets组合封装实现不同类型的产品	Huawei Lego架构	采用compute die (compute + memory interface) 和I/O die组合的形式进行不同Chiplets功能拆解。	在compute die (CPU/AI) 设计时采用先进的工艺, 获得顶级的算力和能效, 在I/O die设计时采用成熟工艺, 在面积与先进工艺差别不大的情况下获得成本收益。并且不同的Chiplets的数量和组合形式都可以灵活搭配, 从而组合出多种不同规格的云端高性能处理器产品。	
单个Chiplet包含较为独立完整的功能集合, 通过多个Chiplets级联获得性能的线性增长	AMD Zen2/3架构	采用CCD (compute) 和CIOD (memory interface + I/O) 组合的形式进行不同Chiplets功能拆解。	在CCD设计时采用最先进的工艺, 获得顶级的算力和能效, 在CIOD设计时采用成熟工艺, 在面积与先进工艺差别不大的情况下获得成本收益。并且CCD本身按照两个4C8T cluster组合的形式设计, 可以适应AMD从Desktop到Server的架构需求, 根据场景选择CCD数量和设计对应的CIOD即可, 灵活度非常高。	
	Apple M1 Ultra	通过Apple自研的封装技术UltraFusion来堆叠两颗M1 Max芯片, 使得两颗芯片之间拥有超过2.5TB/s带宽且极低延时的互联能力。	基于这个互联的延时带宽能力, 可以使得M1 Ultra直接获得两倍M1 Max的算力, 同时在软件层面依然可以将M1 Ultra当做一个完整芯片对待, 而不会增加额外的软件修改和调试的负担。	
	Intel Sapphire Rapids	通过两组镜像对称的相同架构的building blocks, 组合4个Chiplets, 获得4倍的性能和互联带宽。每个基本模块包含计算部分 (CHA & LLC & Cores mesh, Accelerators)、memory interface部分 (controller, Ch0/1)、I/O部分 (UPI, PCIe)。	通过将高性能组件组成基本的building block, 再通过EMIB技术进行Chiplet互联, 可以获得线性性能提升和成本收益。	

设计生态新蓝海，国产替代大机遇

- Chiplet发展涉及整个半导体产业链，将影响到从 EDA厂商、晶圆制造和封装公司、芯粒IP供应商、Chiplet产品及系统设计公司到Fabless设计厂商的产业链各个环节的参与者。
- 在芯片设计端，基于IP复用的模式，设计能力较强的IP供应商有潜力演变为Chiplet供应商，这就要求IP供应商具备高端芯片的设计能力，以及多品类的IP布局及平台化运作。**建议关注国内平台化的IP供应龙头芯原股份，以及积极布局2.5D封装技术的国芯科技。**
- 在EDA软件端，由于Chiplet有更多异构芯片和各类总线的加入，整个过程会变得更加复杂，对EDA工具也提出了新要求。同时，Chiplet对制程没有太高要求，并且全球标准未确定，国内和国外的EDA软件差距较小。**国内EDA企业需要提升基础能力，应对堆叠设计带来的诸多挑战，比如对热应力、布线、散热、电池干扰等的精确仿真。建议国内EDA供应商华大九天、概伦电子、安路科技、广立微。**

芯片设计&IP服务



EDA软件



一、接棒后摩尔时代，Chiplet和先进封装协同创新

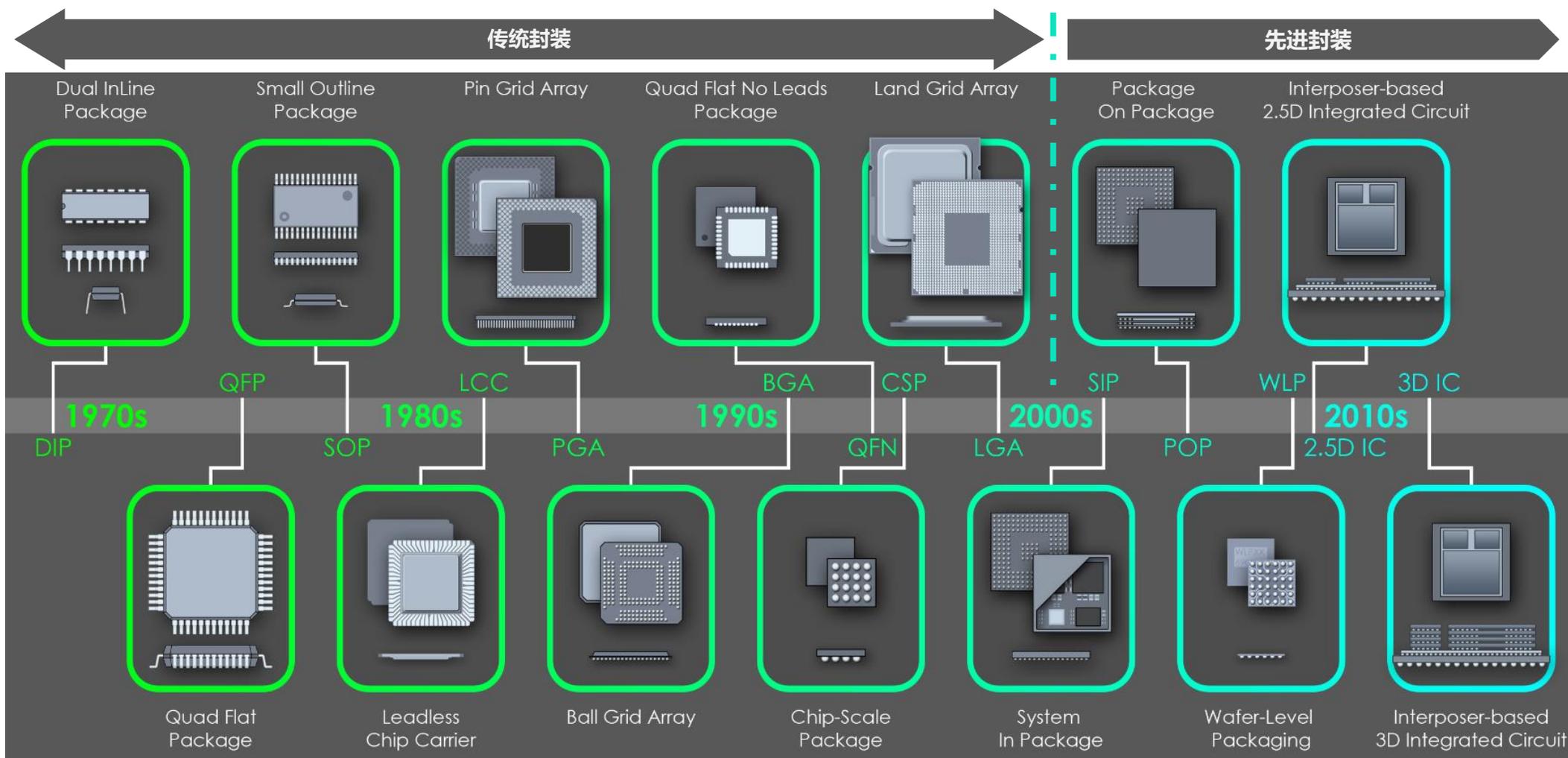
二、Chiplet新蓝海，国产设计大机遇

三、先进封装如火如荼，产业链全面受益

性能要求不断升级，芯片封装日益复杂



- **制造工艺持续微缩的同时，封装技术发展日新月异。**随着摩尔定律逼近物理极限，依赖器件特征尺寸缩微来获得成本、功耗和性能方面的提升越来越难。进入2010年，手机处理器、射频芯片、CPU/GPU、汽车芯片等应用场景对芯片提出了更多的低功耗、高性能、小型化和多功能化等需求，先进封装发展倍加重视。



先进封装主要类型

- 2.5D/3D封装是未来的发展主线，同时传统的基于引线键合的引线框架类封装也在不断发展和进步以适应不同的产品应用。自20世纪90年代中期之后，集成电路封装体的外观（形状、引脚样式）并未发生重大变化，但其内部结构发生了三次重大技术革新，分别为：倒装封装(Flip Chip)、系统级封装(SiP-System in a Package)和晶圆级封装技术(WLCSP-Wafer Level Chip Scale Package)。

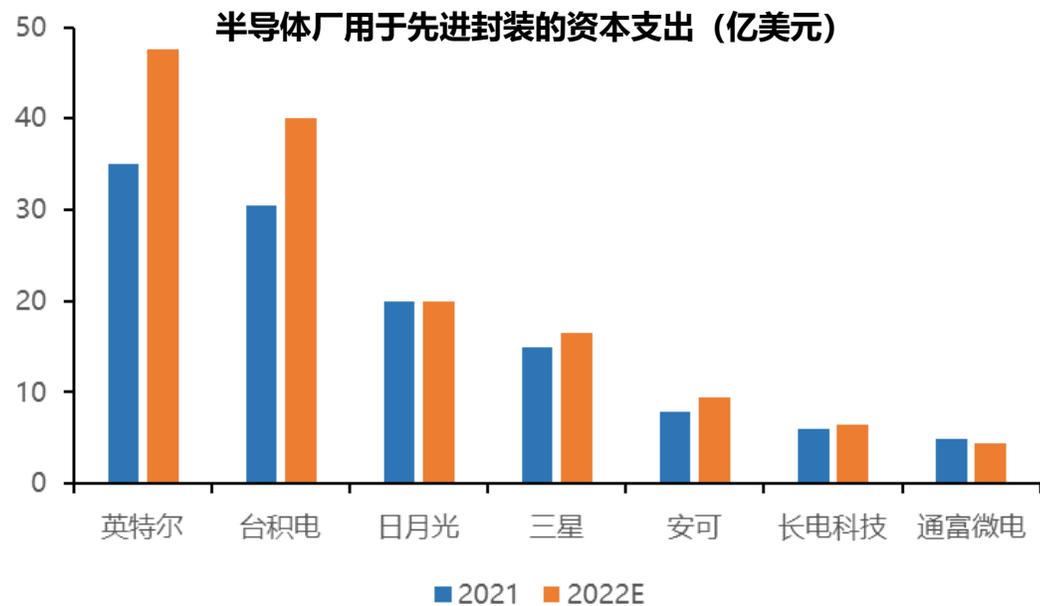
先进封装主要类型

封装平台	内部结构	封装外型	晶圆+基板	简介
晶圆级封装	Fan-Out	-	-	扇出是一种晶圆级封装技术。先将芯片作切割分离，将芯片重新布局到一块人工晶圆上，然后将芯片正面朝下黏于载具 (Carrier) 上，并且芯片间距要符合电路设计的节距 (Pitch) 规格，接着进行封胶 (Molding) 后形成面板 (Panel)，后续将封胶面板与载具分离。
	Fan-In	-	-	扇入型晶圆级封装。先对整片晶圆进行封装测试后再切割得到单个成品芯片的技术，封装后的芯片尺寸与裸片完全一致。
有机基板	Flip-Chip	BGA	FO on substrate	FC BGA封装技术采用小球代替针脚来连接处理器，能提供最短的对外连接距离；同时I/O引线以阵列的方式排在芯片表面，可提供更高密度的I/O布局；且倒装技术更强化了芯片的散热能力。
			2.5D	FOCoS 是一个扇出封装倒装芯片安装在高引脚数球栅阵列 (BGA) 基板上。扇出封装具有重新分布层 (RDL)，允许在多个芯片之间构建更短的管芯到管芯 (D2D) 互连。扇出封装被视为单个芯片，然后倒装芯片安装到 BGA 基板上。
			3D	在2.5D封装中，两个或多个有源半导体芯片并排放置在硅中间层上，以实现极高的模对模互连密度。
	CSP	-	-	在3D封装中，有源芯片通过die堆叠集成，实现最短的互连和最小的封装面积。
				芯片尺寸级封装，FC CSP与一般的CSP相比，半导体芯片与基板之间通过碰撞连接而不是引线键合；同时FC CSP中，多个芯片可同时与PCB连接，且连接长度比引线键合短得多。
LGA	-	-	LGA是一种重要的无焊球封装形式，可以直接安装在PCB上，相比其他BGA封装要方便很多，广泛用于微处理器和其他高端芯片封装。	
引线框基板	QFN	-	-	fc-QFN(倒装芯片四平面无引线)是一种低成本的模式封装，使用铜引线框架基板上的倒装芯片互连。由于电路短，它也提供了更好的电气性能。fc-QFN封装包括一个外露的热垫，以改善IC外的传热。外露的热垫可以提供低电感接地连接。
陶瓷基板	HTCC	-	-	HTCC一体化封装一般是基片与封装管壳烧结或焊接而成。
	LTCC	-	-	LTCC封装是将基片烧好后，通过钎焊粘接而成。
有机基板	嵌入式 (Embedded Die)	-	-	在嵌入式管芯基板中，半导体管芯在基板形成期间被嵌入标准PCB材料 (多个有机层压层) 和/或引线框架内。然后，半导体管芯通过基板的镀铜通孔和导电迹线电连接到基板上/基板中的其他组件 (MEMS 或无源器件)。

支持Chiplet的底层封装技术

封装类型	堆叠	方案简介	优势	缺点	图示
MCM	2D	MCM一般是指通过Substrate（封装基板）走线将多个芯片互联的技术。通常来说走线的距离和范围可以在10mm~25mm，线距线宽大约10mm量级，单条走线带宽大约10Gbit/s量级。	由于MCM可以通过基板直接连接各个芯片，通常封装的成本会相对较低。	但是由于走线的线距线宽比较大，封装密度相对较低，接口速率相对较低，延时相对较大。	
CoWoS	2.5D	CoWoS-S 基础CoWoS技术，可以支持超高集成密度，提供不超过两倍掩模版尺寸的interposer层，通常用于集成HBM等高速高带宽内存芯片。	相比于MCM，CoWoS技术可以提供更高的互联带宽和更低的互联延时，从而获得更高的性能。	受限于interposer的尺寸（通常为2倍掩模版最大尺寸），可以提供的封装密度上限相对比较有限，并且由于interposer的引入，需要付出额外的制造成本和更高的技术复杂度，以及随之而来的整体良率的降低。	
		CoWoS-R 基于CoWoS-S技术，引入InFO技术中的RDL（Redistribution Layer），RDL中介层由聚合物和铜迹线组成，具有相对机械柔韧性，而这种灵活性增强了封装连接的可靠性，并允许新封装可以扩大其尺寸以满足更复杂的功能需求，从而有效支持多个Chiplets之间进行高速可靠互联。			
		CoWoS-L 在CoWoS-S和InFO技术的基础上，引入LSI（Local Silicon Interconnect）技术，LSI芯片在每个产品中可以具有多种连接架构（例如 SoC 到 SoC、SoC 到小芯片、SoC 到 HBM 等），也可以重复用于多个产品，提供更灵活和可复用的多芯片互联架构。			
EMIB	2.5D	EMIB是Intel主导的2.5D封装技术，使用多个嵌入式包含多个路由层的桥接芯片，同时内嵌至封装基板，达到高效和高密度的封装。由于不再使用interposer作为中介介质，可以去掉原有连接至interposer所需要的TSVs，以及由于interposer尺寸所带来的封装尺寸的限制，可以获得更好的灵活性和更高的集成度。	相较于MCM、CoWoS和InFO/LSI技术，EMIB技术更为优雅和经济高效，获得更高的集成度和制造良率。	EMIB需要封装工艺配合桥接芯片，技术门槛和复杂度较高。	
Hybrid Bonding	3D	Hybrid Bonding混合键合技术是一种在相互堆叠的芯片之间获得更密集互连的方法，并帮助实现更小的外形尺寸。	提供更高的互连密度、更小更简单的电路、更大的带宽、更低的电容、更低的功耗。	技术门槛更高、复杂度更高。	

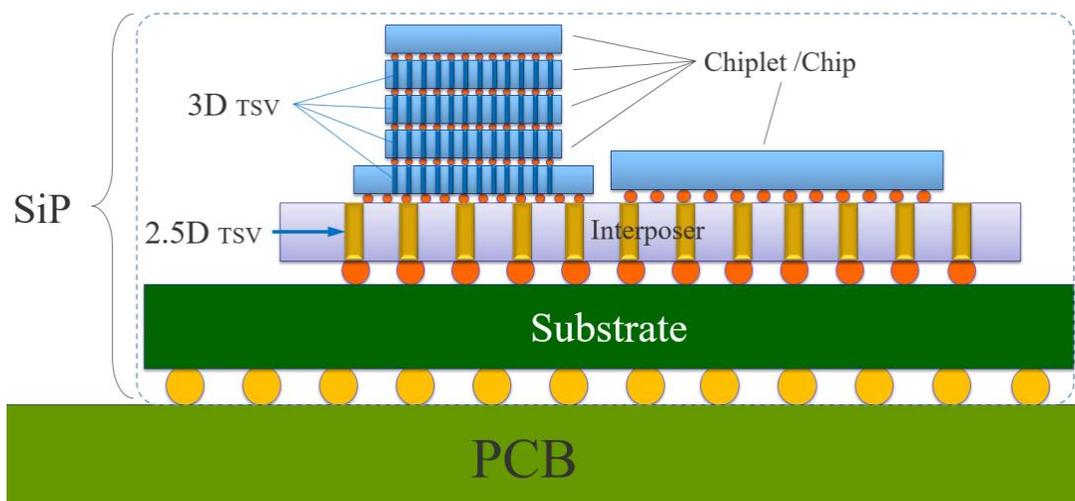
- 据yole预计，先进封装市场将以 8% 的复合年增长率增长，从 2020 年的约 300 亿美元到 2028 年达到 550 亿美元。到2030 年，先进封装技术将占据半导体封装市场60%以上的份额。
- **具有前道工艺的代工厂或IDM企业在先进封装技术研发与产业化方面具有技术、人才和资源优势，利用前道技术的封装技术逐渐显现。** 由于看好Chiplet的发展趋势，晶圆制造商加码2.5D/3D封装，主导先进封装的资本开支。台积电、英特尔和三星已成为先进封装技术的主要创新者。台积电扩大SoIC系统中的SoW 和 InFO 变体，以及 CoWoS 先进产能。英特尔对各种先进封装产品组合（如 Foveros、EMIB 和 Co-EMIB）的投资是实施公司新领导层所公布的 IDM 2.0 战略的关键。此外，三星也在积极投资先进的封装技术，以满足HPC应用在异质芯片整合的快速发展。日月光凭借在FoCoS先进封装技术的布局，是目前在封测代工厂中唯一拥有超高密度扇出解决方案的供应商。



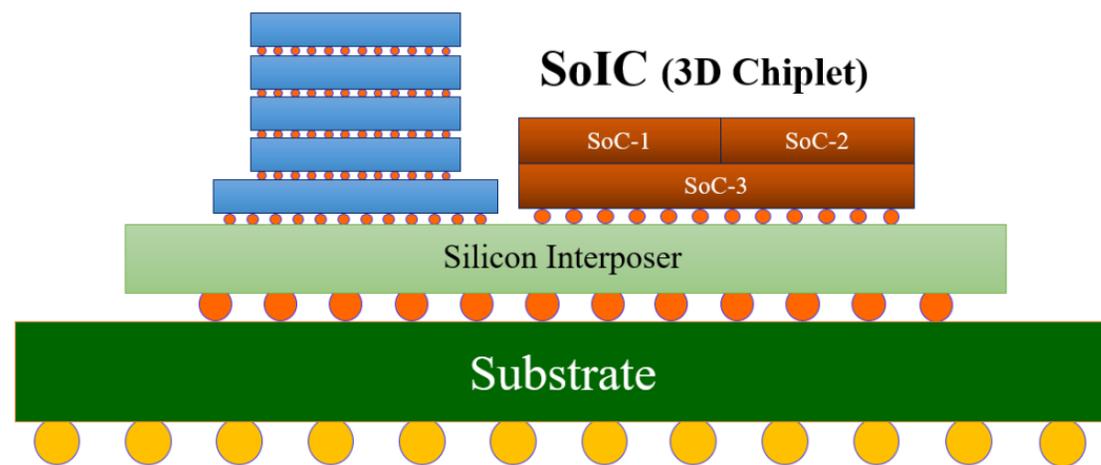
2.5D/3D封装为Chiplet的主流封装技术

- 目前可应用于 Chiplet 的封装解决方案主要是 SIP、2.5D 和 3D 封装。其中，2.5D 封装技术发展已经非常成熟，并且已经广泛应用于 FPGA、CPU、GPU 等芯片当中，近年来，随着 Chiplet 架构的兴起，2.5D 封装也成为了 Chiplet 架构产品主要的封装解决方案。
- **为了节省芯片面积，封装也将从 2D/2.5D 转向 3D 堆叠。** 3D 封装能够帮助实现 3DIC，即芯粒间的堆叠和高密度互联，可以提供更为灵活的设计选择。但是，3D 封装的技术难度也更高，目前主要英特尔和台积电掌握 3D 封装技术并实现商用。AMD 在2021年提出3D Chiplet概念，应用在其3D V-Cache上。3D Chiplet就是将Chiplet通过3D TSV集成在一起，采用了no Bump的垂直互连结构。AMD的3D Chiplet工艺的实现是由TSMC代工的，TSMC称之为SoIC，属于其3D Fabric的产品范畴。

Chiplet、2.5D、3D、SIP结构



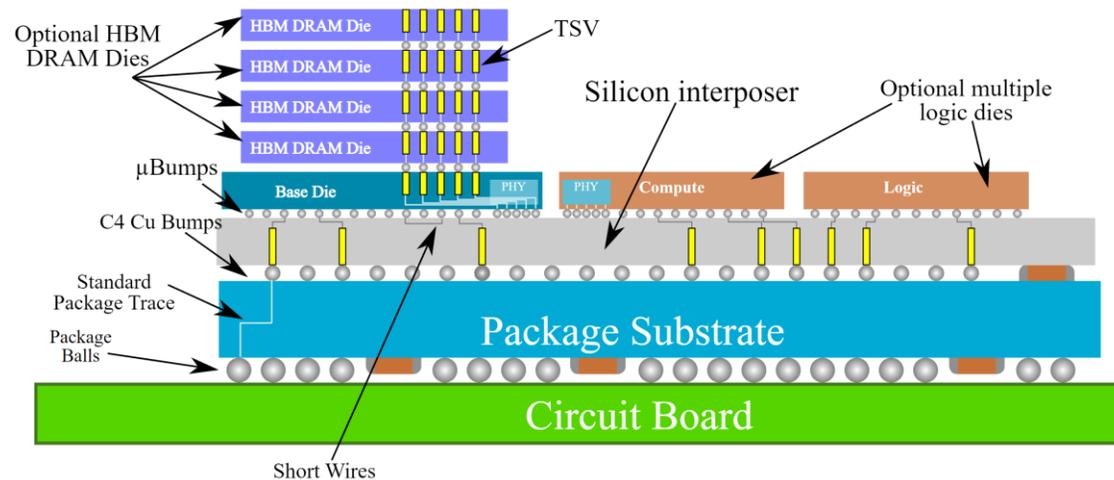
3D Chiplet



2.5D封装：新增TSV中介板、微凸块需求

- 2.5D 封装，主要是指将处理器、记忆体或是其他的芯片，并列排在硅中介板（Silicon Interposer）上，先经由微凸块（Micro Bump）连结，让硅中介板的内金属线可连接不同芯片的电子讯号；接着再透过硅穿孔（TSV）来连结下方的金属凸块（Bump），再经由导线载板连结外部金属球，实现芯片、芯片与封装基板之间更紧密的互连。2.5D封装技术广泛用于高带宽内存（HBM）处理器集成。
- 2.5D封装技术的关键优势是较低的芯片空间、优秀的热管理、更快的运行速度、更高的性价比，恰好实现了从成本、性能到可靠性的完美平衡。
- 2.5D封装的代表技术包括英特尔的EMIB、台积电的CoWoS和三星的I-Cube。

台积电2.5D (CoWoS) 封装



主要结构/技术

中介层(Silicon Interposer)

中介层是一种由硅和有机材料制成的硅基板，是先进封装中多芯片模块传递电信号的管道，可以实现芯片间的互连，也可以实现与封装基板的互连，充当多颗裸片和电路板之间的桥梁。硅中介层是一种经过验证的技术，具有较高的细间距布线能力和可靠的TSV能力，可以实现高密度I/O需求，在2.5D封装中扮演着关键角色。

硅穿孔(TSV-Through Silicon Via)

硅穿孔(TSV)是2.5D封装解决方案的关键实现技术，是在晶圆中填充以铜，提供贯通硅晶圆裸片的垂直互连，用最短路径将硅片一侧和另一侧进行电气连通。

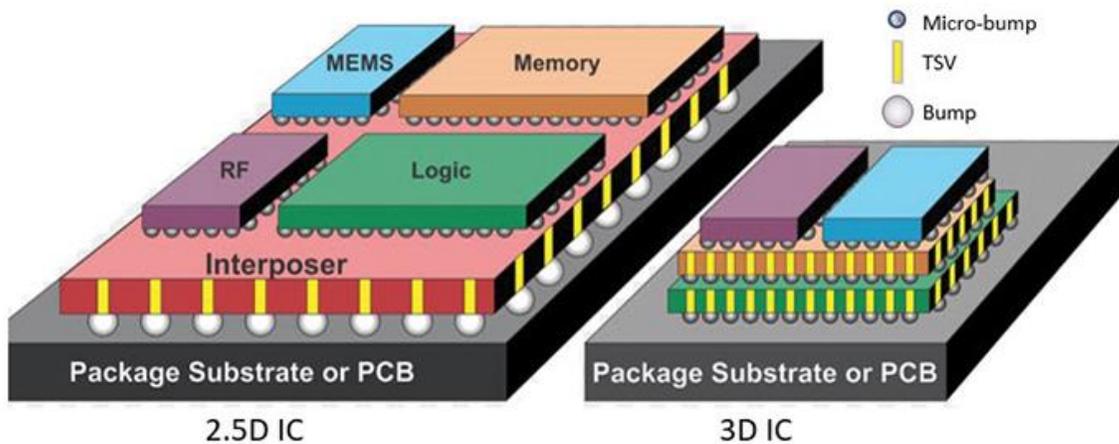
高带宽内存(High Bandwidth Memory)

HBM颗粒通过3D封装技术，将多个Dram进行堆叠，实现高带宽和大容量集成。

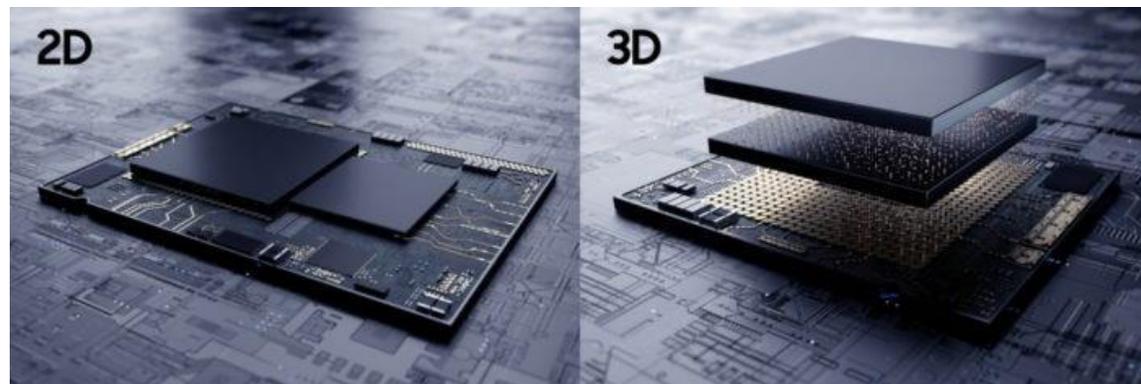
3D封装：封装面积更小，TSV技术难度更高

- 3D封装是直接将芯片堆叠起来。相较于2.5D封装，3D封装的原理是在芯片制作电晶体（CMOS）结构，并且直接使用硅穿孔来连结上下不同芯片的电子讯号，以直接将记忆体或其他芯片垂直堆叠在上面。此项封装最大的技术挑战便是，要在芯片内直接制作矽穿孔困难度更高。
- 3D封装比2D封装面积更小、功耗更低，拥有超大带宽。但是3D封装技术由于其在较小的封装体内堆叠多个芯片，也导致了其严重的散热问题，且在长期可靠性方面受限。
- 由于高效能运算、人工智能等应用兴起以及TSV技术的逐渐成熟，越来越多的CPU、GPU和记忆体开始采用3D封装。3D领域主要有台积电的SoIC技术、英特尔的Foveros技术、三星的X-Cube技术。

2.5D和3D IC设计

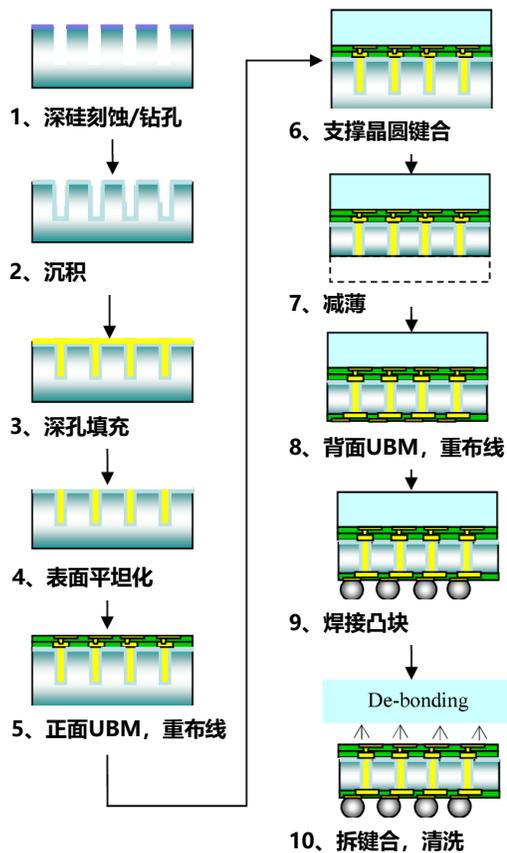


三星I-Cube (左) 和X-Cube (右) 封装技术

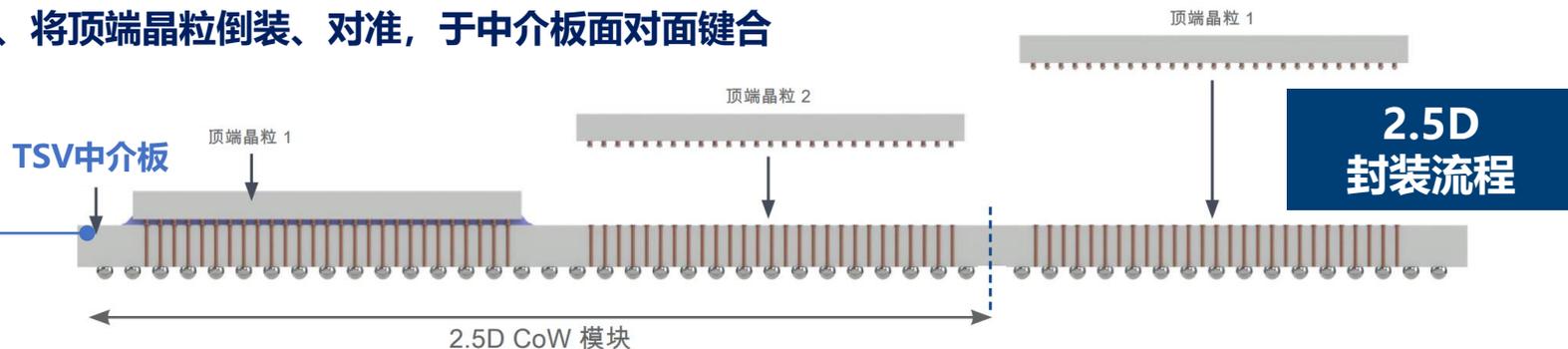


■ TSV（硅穿孔）是一种穿透硅晶圆或芯片的垂直互连结构，可以完成连通上下层晶圆或芯片的功能，是晶圆级多层堆叠技术中有效提高系统整合度与效能的关键工艺，也是难度较大的一个环节。

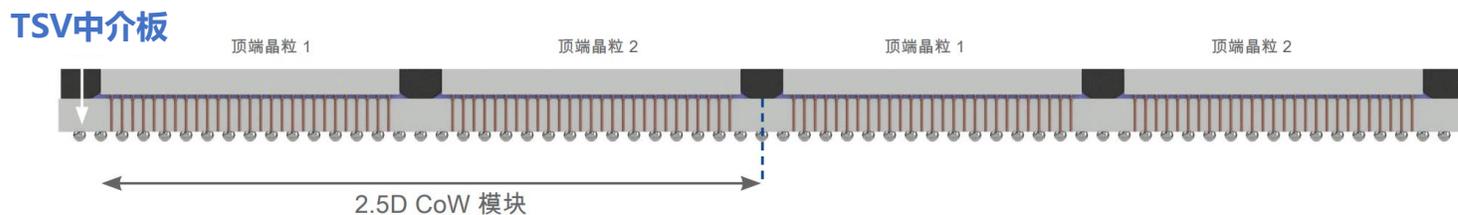
TSV中介板制作流程



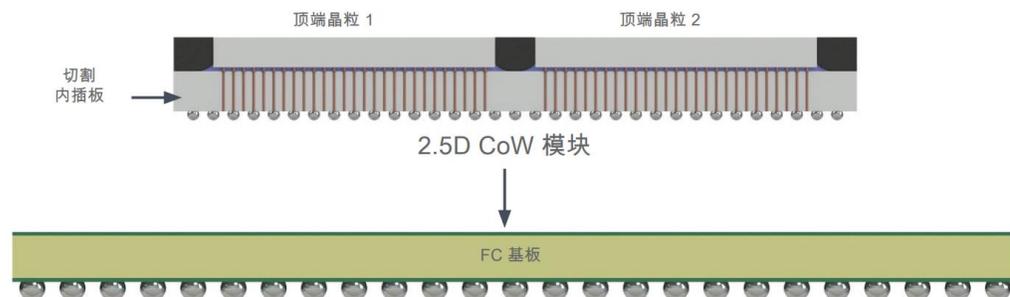
1、将顶端晶粒倒装、对准，于中介板面对面键合



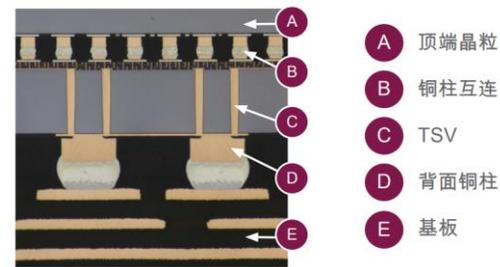
2、晶圆级包覆成型、塑封晶圆研磨和模块减薄



3、切割CoW模块，通过凸块与封装基板相连



完工的封装晶圆



TSV新增刻蚀、量测等设备需求

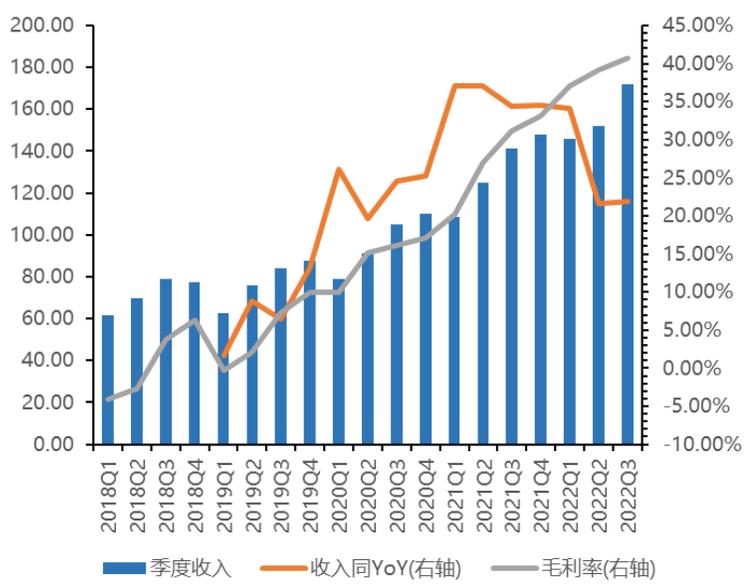
- TSV制作流程会涉及到深刻蚀、PVD、CVD、铜填充、微凸点及RDL电镀、清洗、减薄、键合等设备，其中通孔制作、绝缘层/阻挡层/种子层的沉积、铜填充、晶圆减薄、晶圆键合等工序涉及的设备最为关键，在某种程度上直接决定了TSV的性能指标。**建议关注相关晶圆制造设备供应商拓荆科技、华海清科、北方华创、中微公司。**
- 减薄和键合工艺对检测和量测的需求增多。晶圆的厚度和厚度均匀度、TSV通孔的孔径、深度和形貌特征需要测量。对于键合，无论是芯片至晶圆、还是晶圆之间，在精准的对位的同时，还需要监控表面粗糙程度、表面洁净度和平坦度。**建议关注精测电子、长川科技、华峰测控等国内检测和量测设备供应商。**

中介板TSV工艺环节	工艺简介	设备	相关公司
深硅刻蚀/钻孔	TSV 刻蚀是三维集成的关键技术，并且目前深硅刻蚀首选技术为干法刻蚀。先使用光刻胶对待刻蚀区域进行标记，然后使用深反应离子刻蚀法在晶圆的一面刻蚀出孔。	深硅刻蚀设备	应用材料、东京电子、泛林、 北方华创、中微公司
绝缘层/阻挡层/种子层沉积	通过PECVD法在硅孔内表面沉积一层绝缘材料，通过PVD法沉积金属扩散阻挡层和种子层，为后续的铜填充做好准备。如果填充材料为多晶硅或者钨，则不需要种子层。	PVD设备、CVD设备	应用材料、泛林、先晶、东京电子、力鼎精密、 拓荆科技、北方华创
深孔填充	TSV填充工艺是整个工艺流程中最昂贵的步骤之一。TSV的主要成品率损耗之一是未填满的空洞。电镀铜工艺作为最合适的硅通孔填充技术受到业内的普遍关注，其关键技术在于TSV高深宽比（通常大于10:1）通孔的全填充电镀技术。	电镀设备	NEXX、TECHNIC、Semitool、中电科二所
晶圆减薄	TSV要求晶圆减薄至50 μm甚至更薄，要使硅孔底部的铜暴露出来，为下一步的互连做准备。目前晶圆减薄可以通过机械研磨、化学机械抛光、湿法及干法化学处理等不同的加工工序来实现，通过工艺之间有机的结合，保证晶圆既能减薄到要求的厚度，又要有足够的强度。	研磨、刻蚀、抛光设备	DISCO、OKAMOTO、东京精密、 华海清科 、中电科45所
RDL与微凸点制作	在暴露出电镀铜后的硅晶圆的背面开始制作电路层和微凸点，用来实现与其余芯片或者基板的互联。	溅镀设备、回流焊设备	力鼎精密、SUSS MicroTec、富士通微电子、 拓荆科技、北方华创
检测和量测	更小的特征尺寸、新的集成方案以及将多个组件异构集成到单个封装元件中导致了更严格的制程控制需求。	检测、测量设备	KLA、应用材料、 精测电子、长川科技、华峰测控 、中科飞测、强一科技
晶圆键合	对于两片晶圆之间的键合，目前主流的方法有3种：Si-Si 永久键合、聚合物临时键合和Si-Si 直接键合与金属热压键合的混合键合。其中Cu-Cu直接键合与其它键合方法对比有种种优点：电阻率较低、抗EM较好、互连RC延迟减少，可以同时实现机械和电学的接触界面。	晶圆键合设备	EV Group、SUSS MicroTec、Tokyo Electron

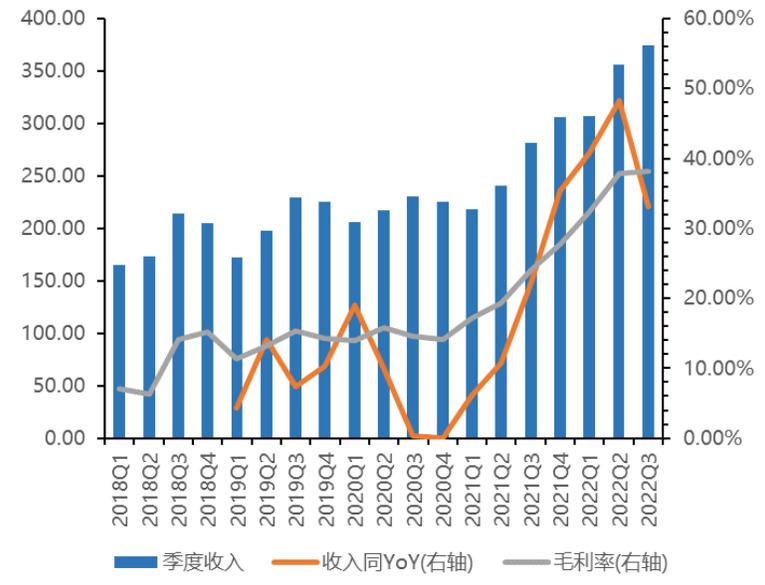


封装的不同层级实际代表着互连密度的不同。2.5D/3D封装属于一级封装，对应IC载板的线宽线距通常在15微米以下。IC载板把芯片特征尺寸放大到与基板特征尺寸对应的I/O输出，实现芯片和基板的互连。常用的IC载板包括ABF载板和BT载板。

南电收入和毛利率趋势 (亿台币)



欣兴收入和毛利率趋势 (亿台币)



ABF材质可做线路较细、适合高脚数高讯息传输的IC，多用于CPU、GPU等大型高端晶片。随着讯息传输速度提升与技术突破，**ABF载板逐渐供不应求**。

台湾是全球ABF载板主要产地，全球占比约43%。南电和欣兴是ABF载板主要供应商，受益于台湾晶圆制造和封装的领先地位，两家公司的收入规模高速增长的同时，毛利率也由2018年10%以下，迅速增长至2022Q3的40%左右。**A股市场的ABF载板供应商稀缺，建议关注兴森科技。**

资料来源：联硕电路，品化科技，histock，中航证券研究所

- Chiplet研发进度不及预期
- 先进制程提速发展，具备高性价比，造成对先进封装的需求减弱
- TSV中介板方案被其他技术方案取代
- 行业竞争加剧的风险

我们设定的上市公司投资评级如下：

买入：未来六个月的投资收益相对沪深300指数涨幅10%以上。
持有：未来六个月的投资收益相对沪深300指数涨幅-10%-10%之间
卖出：未来六个月的投资收益相对沪深300指数跌幅10%以上。

我们设定的行业投资评级如下：

增持：未来六个月行业增长水平高于同期沪深300指数。
中性：未来六个月行业增长水平与同期沪深300指数相若。
减持：未来六个月行业增长水平低于同期沪深300指数。

中航科技电子团队介绍：

首席：赵晓琨
十六年消费电子及通讯行业工作经验，曾在华为、阿里巴巴、摩托罗拉、富士康等多家国际级头部品牌终端企业，负责过研发、工程、供应链采购等多岗位工作。曾任职华为终端半导体芯片采购总监，阿里巴巴人工智能实验室供应链采购总监。长期专注于三大方向：1、半导体及硬科技；2、智慧汽车及机器人；3、大势所趋的新能源。

分析师：刘牧野
约翰霍普金斯大学机械系硕士，2022年1月加入中航证券。拥有高端制造、硬科技领域的投研经验，从事科技、电子行业研究。

分析师承诺

负责本研究报告全部或部分内容的每一位证券分析师，在此申明，本报告清晰、准确地反映了分析师本人的研究观点。本人薪酬的任何部分过去不曾与、现在不与、未来也将不会与本报告中的具体推荐或观点直接或间接相关。风险提示：投资者自主作出投资决策并自行承担投资风险，任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。

免责声明

本报告并非针对意图送发或为任何就送发、发布、可得到或使用本报告而使中航证券有限公司及其关联公司违反当地的法律或法规或可致使中航证券受制于法律或法规的任何地区、国家或其它管辖区域的公民或居民。除非另有显示，否则此报告中的材料的版权属于中航证券。未经中航证券事先书面授权，不得更改或以任何方式发送、复印本报告的材料、内容或其复印本给予任何其他人。

本报告所载的资料、工具及材料只提供给阁下作参考之用，并非作为或被视为出售或购买或认购证券或其他金融票据的邀请或向他人作出邀请。中航证券未有采取行动以确保于本报告中所指的证券适合个别的投资者。本报告的内容并不构成对任何人的投资建议，而中航证券不会因接受本报告而视他们为客户。

本报告所载资料的来源及观点的出处皆被中航证券认为可靠，但中航证券并不能担保其准确性或完整性。中航证券不对因使用本报告的材料而引致的损失负任何责任，除非该等损失因明确的法律或法规而引致。投资者不能仅依靠本报告以取代行使独立判断。在不同时期，中航证券可发出其它与本报告所载资料不一致及有不同结论的报告。本报告及该等报告仅反映报告撰写日分析师个人的不同设想、见解及分析方法。为免生疑，本报告所载的观点并不代表中航证券及关联公司的立场。

中航证券在法律许可的情况下可参与或投资本报告所提及的发行人的金融交易，向该等发行人提供服务或向他们要求给予生意，及或持有其证券或进行证券交易。中航证券于法律容许下可于发送材料前使用此报告中所载资料或意见或他们所依据的研究或分析。